



**PABLO ENRIQUE IBÁÑEZ  
MARÍN**

Generado desde: Universidad de Zaragoza  
Fecha del documento: 4/11/2025



## Resumen libre del currículum

Descripción breve de la trayectoria científica, los principales logros científico-técnicos obtenidos, los intereses y objetivos científico-técnicos a medio/largo plazo de la línea de investigación. Incluye también otros aspectos o peculiaridades importantes.

Profesor Titular de Universidad en Arquitectura y Tecnología de Computadores, Universidad de Zaragoza, desde diciembre de 2001.

Desarrolla su tesis doctoral en la Universidad de Zaragoza entre los años 1992 y 1998 bajo la dirección del profesor Víctor Viñals y en temas relacionados con la simulación eficiente de la jerarquía de memoria, gestión de contenidos en jerarquías multinivel y mecanismos de prebúsqueda de bajo coste. A partir de 1998 participa en la creación del Grupo de Arquitectura de Computadores de la Universidad de Zaragoza (gaZ), en el que desarrolla toda su trayectoria investigadora hasta hoy. Durante este tiempo ha dirigido 6 tesis doctorales.

Ha participado como investigador en 5 proyectos nacionales consecutivos entre los años 1998 y 2013, y en cuatro como investigador principal entre 2014 y 2025. También ha formado parte de un proyecto Consolider (Supercomputing and eScience, 2007-12, bajo el liderazgo de BSC- UPC) y de un europeo Interreg (Piregrid, 2009-12). Desde 2023 es co-IP del Grupo gaZ, que recibe financiación del Gobierno de Aragón. Además, es miembro de HiPEAC desde su creación en 2004.

Gran parte de su trabajo de investigación está relacionado con la jerarquía de memoria: caches L1 multibanco y mecanismos de desambiguación, políticas de gestión de contenidos en cache (reemplazo, filtrado por reuso, prebúsqueda), mejora de la eficiencia de la cache en términos de área y consumo energético (alimentación cerca del umbral, uso de nuevas tecnologías, ...), gestión de la coherencia, sincronización en DSMs y optimización de aplicaciones.

Entre sus trabajos recientes destaca Berti, uno de los prebuscadores de datos de referencia desde 2022, y la caracterización de jerarquías de memoria en procesadores multinúcleo desarrollada en la tesis doctoral de Agustín Navarro, citada en la página de SPEC CPU 2017, e incorporada parcialmente en la 2ª edición del libro "Performance Analysis and Tuning on Modern CPUs" de Denis Bakhvalov y en la 7ª edición del "Computer Architecture: A Quantitative Approach" de Hennessy, Patterson y Kozyrakis.

Formó parte de los comités de organización del II CEDI y las XVIII Jornadas de Paralelismo. Participa habitualmente en comités de programa de congresos internacionales y en procesos de revisión en congresos y revistas como ICS, ICCD, TonC, JSC, TPDS, TACO, JPDS, Journal of Supercomputing, Cluster Computing o CAL. Fue miembro del comité de acceso a Caesaraugusta (nodo en Aragón de la Red Española de Supercomputación) desde su creación en febrero de 2008 hasta 2016.

## Indicadores generales de calidad de la producción científica

Descripción breve de los principales indicadores de calidad de la producción científica (sexenios de investigación, tesis doctorales dirigidas, citas totales, publicaciones en primer cuartil (Q1), índice h. ). Incluye también otros aspectos o peculiaridades importantes.

Investigador principal en 4 proyectos nacionales desde 2013 y co-IP en el proyecto de la Diputación General de Aragón que reconoce al grupo de investigación gaZ desde 2023.

Número de sexenios de investigación: 3

Fecha del último concedido: 2019

Número de tesis doctorales dirigidas: 6

Número de tesis doctorales dirigidas en los últimos 10 años: 2

21 publicaciones en revistas indexadas, 9/7 en Q1/Q2

16 publicaciones en congresos indexados en GGS (1 ISCA, 1 HPCA, 2 MICRO).

Indice h. 7 (WoS), 12 (google scholar), 9 (scopus)

Índices h/i10 (desde 2020): 8/6 (google scholar)

Nº citas totales: 131 (WoS), 530 (google scholar), 249 (scopus)

Citas 2020-2024: 26, 30, 32, 50 y 81 (google scholar)

Best Paper Award and third best performance metrics in the 1st JILP Data Prefetching Championship (DPC-1, 2009, with HPCA, Sponsored by: Intel, JILP, IEEE TC-uARCH).

1st place in Cloud Suite and 3rd place in the overall ranking of The 2nd Cache Replacement Championship (CRC-2, 2017, with ISCA)

Nueve artículos son citados por 19 patentes: US 7237068 B2, US 7594100 B2, US 7925865\_B2, US 9201798 B2, US 8904118 B2, US 8990514 B2, US 9195550 B2, US 9286067 B2, US-9348755-B2, US 9471480 B2, US 9971635 B2, US 10417130 B2, US 10445240 B2, US 10503642 B2, US 10514927 B2, US 10540287 B2, US 10579531 B2, US 10884940 B2, US 10901902 B2. Las patentes son de Intel, University Of Michigan, Sun Microsystems, Analog Devices, Huawei, ORACLE, IBM, Samsung y Advanced Micro Devices Inc.



## PABLO ENRIQUE IBÁÑEZ MARÍN

Apellidos:

IBÁÑEZ MARÍN

Nombre:

PABLO ENRIQUE

### Situación profesional actual

**Entidad empleadora:** Universidad de Zaragoza    **Tipo de entidad:** Universidad

**Departamento:** Departamento de Informática e Ingeniería de Sistemas. Área: Arquitectura y Tecnología de Computadores. Área de conocimiento (Macroárea): Ingeniería y Arquitectura. Campo de conocimiento de evaluación CNEAI: Ingeniería y Arquitectura, Escuela de Ingeniería y Arquitectura

**Categoría profesional:** Catedrático de Universidad.

**Primaria (Cód. Unesco):** 120326 - Simulación; 330406 - Arquitectura de ordenadores



## A. Formación académica recibida

### A.1 Titulación universitaria

#### A.1.1 Estudios de 1º y 2º ciclo, y antiguos ciclos (Licenciados, Diplomados, Ingenieros Superiores, Ingenieros Técnicos, Arquitectos)

**Nombre del título:** Licenciado en Informática

**Ciudad entidad titulación:** Barcelona, España

**Entidad de titulación:** Universitat Politècnica de Catalunya

**Fecha de titulación:** 20/09/1989

**Título homologado:** Si

#### A.1.2 Doctorados

**Programa de doctorado:** Programa Oficial de Doctorado en Ingeniería Informática

**Entidad de titulación:** Universidad de

Zaragoza **Ciudad entidad titulación:**

Zaragoza, España **Fecha de titulación:**

09/07/1998

**Título de la tesis:** Gestión multinivel y prebúsqueda hardware en memorias cache integradas

**Director/a de tesis:** Víctor Viñals

**Calificación obtenida:** Cum

Laude **Mención de calidad:** Si

**Título homologado:** Si

## B. Actividad docente

### B.1 Puestos docentes desempeñados

**Entidad empleadora:** Universidad de Zaragoza **Tipo de entidad:** Universidad  
**Departamento:** Departamento de Informática e Ingeniería de Sistemas. Área: Arquitectura y Tecnología de Computadores. Área de conocimiento (Macroárea): Ingeniería y Arquitectura. Campo de conocimiento de evaluación CNEAI: Ingeniería y Arquitectura, Centro Politécnico Superior  
**Categoría profesional:** Profesor Asociado  
**Fecha de inicio:** 1/10/1991  
**Fecha de fin:** 9/12/2001  
**Régimen de dedicación:** Tiempo completo  
**Primaria (Cód. Unesco):** 120326 - Simulación; 330406 - Arquitectura de ordenadores

**Entidad empleadora:** Universidad de Zaragoza **Tipo de entidad:** Universidad  
**Departamento:** Departamento de Informática e Ingeniería de Sistemas. Área: Arquitectura y Tecnología de Computadores. Área de conocimiento (Macroárea): Ingeniería y Arquitectura. Campo de conocimiento de evaluación CNEAI: Ingeniería y Arquitectura, Escuela de Ingeniería y Arquitectura  
**Categoría profesional:** Prof. Titular Univ.  
**Fecha de inicio:** 10/12/2001  
**Régimen de dedicación:** Tiempo completo  
**Primaria (Cód. Unesco):** 120326 - Simulación; 330406 - Arquitectura de ordenadores

### B.2 Formación académica impartida

#### B.2.1 Cursos de Doctorado

- 1** **Nombre de la asignatura/curso:** Procesadores para dominios específicos  
**Titulación universitaria:** Programa de doctorado  
**Fecha de inicio:** 16/09/2005 **Fecha de finalización:** 31/08/2007  
**Entidad de realización:** Universidad de Zaragoza
- 2** **Nombre de la asignatura/curso:** Programación orientada a prestaciones  
**Titulación universitaria:** Programa de doctorado  
**Fecha de inicio:** 16/09/2004 **Fecha de finalización:** 31/08/2007  
**Entidad de realización:** Universidad de Zaragoza
- 3** **Nombre de la asignatura/curso:** Técnicas de análisis de prestaciones  
**Titulación universitaria:** Programa de doctorado  
**Fecha de inicio:** 16/09/2001 **Fecha de finalización:** 31/08/2004  
**Entidad de realización:** Universidad de Zaragoza
- 4** **Nombre de la asignatura/curso:** Arquitectura y Tecnologías del microprocesador  
**Titulación universitaria:** Programa de doctorado  
**Fecha de inicio:** 16/09/1997 **Fecha de finalización:** 31/08/2001  
**Entidad de realización:** Universidad de Zaragoza



## B.2.2 Cursos de Grado, Master, Ingeniería

La evaluación de la docencia ha sido la máxima en todos los cursos (Positiva hasta el curso 2005/2006 y Positiva Destacada desde dicho curso), salvo en los cursos 2006/07 y el 2008/09 en los que fue Positiva.

- 1** **Nombre de la asignatura/curso:** Computación de altas prestaciones  
**Titulación universitaria:** Máster Universitario en Ingeniería Informática  
**Fecha de inicio:** 15/09/2014 **Fecha de finalización:** 31/08/2024  
**Entidad de realización:** Universidad de Zaragoza
- 2** **Nombre de la asignatura/curso:** Garantía y seguridad  
**Titulación universitaria:** Graduado en Ingeniería Informática  
**Fecha de inicio:** 16/09/2013 **Fecha de finalización:** 31/08/2025  
**Entidad de realización:** Universidad de Zaragoza
- 3** **Nombre de la asignatura/curso:** Centros de datos  
**Titulación universitaria:** Graduado en Ingeniería Informática  
**Fecha de inicio:** 16/09/2013 **Fecha de finalización:** 13/09/2020  
**Entidad de realización:** Universidad de Zaragoza
- 4** **Nombre de la asignatura/curso:** Procesadores comerciales  
**Titulación universitaria:** Graduado en Ingeniería Informática  
**Fecha de inicio:** 17/09/2012 **Fecha de finalización:** 31/08/2025  
**Entidad de realización:** Universidad de Zaragoza
- 5** **Nombre de la asignatura/curso:** Sistemas operativos  
**Titulación universitaria:** Graduado en Ingeniería Informática  
**Fecha de inicio:** 19/09/2011 **Fecha de finalización:** 31/08/2025  
**Entidad de realización:** Universidad de Zaragoza
- 6** **Nombre de la asignatura/curso:** Arquitectura de sistemas  
**Titulación universitaria:** Graduado en Ingeniería de Tecnologías y Servicios de Telecomunicación  
**Fecha de inicio:** 21/09/2015 **Fecha de finalización:** 18/09/2016  
**Fecha de inicio:** 16/09/2013 **Fecha de finalización:** 14/09/2014  
**Entidad de realización:** Universidad de Zaragoza
- 7** **Nombre de la asignatura/curso:** SUBSISTEMAS E/S Y PERIFERICOS  
**Titulación universitaria:** Ingeniero en Informática  
**Fecha de inicio:** 16/09/2013 **Fecha de finalización:** 14/09/2014  
**Entidad de realización:** Universidad de Zaragoza
- 8** **Nombre de la asignatura/curso:** PARALELISMO EN PROCESADORES  
**Titulación universitaria:** Ingeniero en Informática  
**Fecha de inicio:** 17/09/2012 **Fecha de finalización:** 14/09/2014  
**Entidad de realización:** Universidad de Zaragoza
- 9** **Nombre de la asignatura/curso:** Procesadores para dominios específicos  
**Titulación universitaria:** Máster en Ingeniería de sistemas e informática  
**Fecha de inicio:** 17/09/2007 **Fecha de finalización:** 20/09/2009





**Entidad de realización:** Universidad de Zaragoza

- 10 Nombre de la asignatura/curso:** Programación orientada a prestaciones  
**Titulación universitaria:** Máster en Ingeniería de sistemas e informática  
**Fecha de inicio:** 17/09/2007 **Fecha de finalización:** 20/09/2009  
**Entidad de realización:** Universidad de Zaragoza
- 11 Nombre de la asignatura/curso:** DISEÑO DE ARQUITECTURAS  
**Titulación universitaria:** Ingeniero en Informática  
**Fecha de inicio:** 20/09/2002 **Fecha de finalización:** 19/09/2003  
**Entidad de realización:** Universidad de Zaragoza
- 12 Nombre de la asignatura/curso:** SISTEMAS LOGICOS  
**Titulación universitaria:** Ingeniero de Telecomunicación  
**Fecha de inicio:** 22/09/1998 **Fecha de finalización:** 21/09/2000  
**Entidad de realización:** Universidad de Zaragoza
- 13 Nombre de la asignatura/curso:** SISTEMAS OPERATIVOS  
**Titulación universitaria:** Ingeniero de Telecomunicación  
**Fecha de inicio:** 22/09/2008 **Fecha de finalización:** 14/09/2014  
**Fecha de inicio:** 22/09/1999 **Fecha de finalización:** 21/09/2000  
**Fecha de inicio:** 22/09/1997 **Fecha de finalización:** 21/09/1998  
**Fecha de inicio:** 01/10/1994 **Fecha de finalización:** 30/06/1995  
**Entidad de realización:** Universidad de Zaragoza
- 14 Nombre de la asignatura/curso:** SISTEMAS OPERATIVOS  
**Titulación universitaria:** Ingeniero en Informática  
**Fecha de inicio:** 22/09/1998 **Fecha de finalización:** 15/09/2013  
**Fecha de inicio:** 22/09/1995 **Fecha de finalización:** 21/09/1997  
**Fecha de inicio:** 22/09/1993 **Fecha de finalización:** 21/09/1994  
**Entidad de realización:** Universidad de Zaragoza
- 15 Nombre de la asignatura/curso:** COMPUTADORES Y CONTROL I  
**Titulación universitaria:** Ingeniería Industrial  
**Fecha de inicio:** 01/10/1991 **Fecha de finalización:** 30/06/1995  
**Entidad de realización:** Universidad de Zaragoza
- 16 Nombre de la asignatura/curso:** ARQUITECTURA DE COMPUTADORES  
**Titulación universitaria:** Ingeniero de Telecomunicación  
**Fecha de inicio:** 01/10/1994 **Fecha de finalización:** 20/09/2006  
**Fecha de inicio:** 01/10/1991 **Fecha de finalización:** 20/09/1992  
**Entidad de realización:** Universidad de Zaragoza

### B.2.3 Docencia no oficial

- 1 Nombre de la asignatura/curso:** ARQUITECTURA y ORGANIZACIÓN DEL COMPUTADOR  
**Titulación:** Posgrado de Informática. Título propio de la Universidad de Zaragoza  
**Fecha de inicio:** 01/10/2000 **Fecha de finalización:** 20/09/2001  
**Fecha de inicio:** 01/10/1993 **Fecha de finalización:** 20/09/1994

**Entidad de realización:** Universidad de Zaragoza

## 2 Nombre de la asignatura/curso: SISTEMAS OPERATIVOS

**Titulación:** Posgrado de Informática. Título propio de la Universidad de Zaragoza

**Fecha de inicio:** 01/10/2000

**Fecha de finalización:** 20/09/2001

**Fecha de inicio:** 01/10/1993

**Fecha de finalización:** 20/09/1994

**Entidad de realización:** Universidad de Zaragoza

## B.3 Dirección de tesis doctorales y/o proyectos fin de carrera

### B.3.1 Dirección de tesis doctorales

#### 1 Título del trabajo: Crafting Non-Volatile Memory (NVM) Hierarchies: Optimizing Performance, Reliability, and Energy Efficiency

**Tipo de proyecto:** Tesis Doctoral

**Codirector/a tesis:** Viñals Yufera, Víctor

**Entidad de realización:** Universidad de Zaragoza

**Tipo de entidad:** Universidad

**Alumno/a:** Carlos Escuín Blasco

**Calificación obtenida:** Sobresaliente cum laude

**Fecha de defensa:** 22/03/2024

#### 2 Título del trabajo: Contributions to high performance memory hierarchies: program characterization, resource control, transactional synchronization and hardware prefetching.

**Tipo de proyecto:** Tesis Doctoral

**Codirector/a tesis:** Alastruey Benedé, Jesús

**Entidad de realización:** Universidad de Zaragoza

**Tipo de entidad:** Universidad

**Alumno/a:** Agustín Navarro Torres

**Calificación obtenida:** Sobresaliente cum laude

**Fecha de defensa:** 17/04/2023

#### 3 Título del trabajo: Improving the SLLC efficiency by exploiting reuse locality and adjusting prefetch

**Tipo de proyecto:** Tesis Doctoral

**Codirector/a tesis:** Llabería Griñó, José María

**Entidad de realización:** Universidad de Zaragoza

**Tipo de entidad:** Universidad

**Alumno/a:** Jorge Albericio Latorre

**Calificación obtenida:** Apto cum laude

**Fecha de defensa:** 20/05/2013

#### 4 Título del trabajo: Filtering directory lookups in CMPs.

**Tipo de proyecto:** Tesis Doctoral

**Entidad de realización:** Universidad de Zaragoza

**Tipo de entidad:** Universidad

**Alumno/a:** Ana Bosque Arbiol

**Calificación obtenida:** Sobresaliente "Cum Laude"

**Fecha de defensa:** 11/11/2011

#### 5 Título del trabajo: Análisis de comportamientos de las instrucciones Load. Aplicación en prebúsquedas y anticipación de direcciones.

**Tipo de proyecto:** Tesis Doctoral



**Codirector/a tesis:** José Luis Briz Velasco  
**Entidad de realización:** Universidad de Zaragoza  
**Alumno/a:** Luis Manuel Ramos Martínez  
**Calificación obtenida:** Sobresaliente "Cum Laude"  
**Fecha de defensa:** 22/12/2009

**Tipo de entidad:** Universidad

**6 Título del trabajo:** Alternativas de Diseño en Memoria Cache de Primer Nivel Multibanco.

**Tipo de proyecto:** Tesis Doctoral  
**Codirector/a tesis:** Víctor Viñals Yúfera  
**Entidad de realización:** Universidad de Zaragoza  
**Alumno/a:** Enrique Fermín Torres Moreno  
**Calificación obtenida:** Sobresaliente "Cum Laude"  
**Fecha de defensa:** 30/06/2005

**Tipo de entidad:** Universidad

### B.3.2 Dirección de proyectos fin de carrera/grado/master

**1 Título del trabajo:** Adaptación de una base de datos tiempo real distribuida para un sistema de control masivo (SCADA)

**Tipo de proyecto:** Proyecto Final de Grado  
**Entidad de realización:** Universidad de Zaragoza  
**Alumno/a:** Hugo Mateo Trejo  
**Calificación obtenida:** Sobresaliente  
**Fecha de defensa:** 23/09/2024

**Tipo de entidad:** Universidad

**3 Título del trabajo:** Simulador de mil camas

**Tipo de proyecto:** Proyecto Final de Grado  
**Codirector/a tesis:** Liarte Va, Pedro  
**Entidad de realización:** Universidad de Zaragoza  
**Alumno/a:** Jorge Lisa Laborda  
**Calificación obtenida:** Notable  
**Fecha de defensa:** 21/06/2023

**Tipo de entidad:** Universidad

**5 Título del trabajo:** Detección de reúso en LLC mediante filtros Bloom

**Tipo de proyecto:** Proyecto Final de Grado  
**Entidad de realización:** Universidad de Zaragoza  
**Alumno/a:** Noelia Oliete Escuín  
**Calificación obtenida:** Sobresaliente  
**Fecha de defensa:** 13/09/2022

**Tipo de entidad:** Universidad

**6 Título del trabajo:** Implementación de prebucadores de cache para el procesador RISC-V DRAC

**Tipo de proyecto:** Proyecto Final de Grado  
**Codirector/a tesis:** Resano Ezcaray, Jesús Javier  
**Entidad de realización:** Universidad de Zaragoza  
**Alumno/a:** Javier Salamero Sanz  
**Calificación obtenida:** Matrícula de honor  
**Fecha de defensa:** 06/10/2021

**Tipo de entidad:** Universidad

**7 Título del trabajo:** Análisis de estrategias de mejora del rendimiento en simulaciones hidráulicas transitorias

**Tipo de proyecto:** Proyecto Final de Grado



**Codirector/a tesis:** Fernández Pato, Javier  
**Entidad de realización:** Universidad de Zaragoza  
**Alumno/a:** José Félix Longares Moreno  
**Calificación obtenida:** Sobresaliente  
**Fecha de defensa:** 16/09/2020

**Tipo de entidad:** Universidad

**8 Título del trabajo:** Método paralelo para la resolución de ecuaciones de ligadura para moléculas lineales con ramificaciones laterales idénticas

**Tipo de proyecto:** Proyecto Final de Grado  
**Codirector/a tesis:** Alastruey Benedé, Jesús  
**Entidad de realización:** Universidad de Zaragoza  
**Alumno/a:** Lorién López Villellas  
**Calificación obtenida:** Matrícula de honor  
**Fecha de defensa:** 06/07/2020

**Tipo de entidad:** Universidad

**9 Título del trabajo:** Caracterización en memoria de la suite de Benchmarks SPEC CPU2017

**Tipo de proyecto:** Proyecto Final de Máster  
**Entidad de realización:** Universidad de Zaragoza  
**Alumno/a:** Agustín Navarro Torres  
**Calificación obtenida:** Matrícula de honor  
**Fecha de defensa:** 03/10/2018

**Tipo de entidad:** Universidad

**10 Título del trabajo:** Método paralelo de resolución de ecuaciones de ligadura para moléculas lineales

**Tipo de proyecto:** Proyecto Final de Grado  
**Codirector/a tesis:** Alastruey Benedé, Jesús  
**Entidad de realización:** Universidad de Zaragoza  
**Alumno/a:** Rubén Langarita Benítez  
**Calificación obtenida:** Notable  
**Fecha de defensa:** 11/07/2018

**Tipo de entidad:** Universidad

**11 Título del trabajo:** Aplicación móvil para el cálculo de las necesidades hídricas en el cultivo de maíz en España

**Tipo de proyecto:** Proyecto Final de Carrera  
**Entidad de realización:** Universidad de Zaragoza  
**Alumno/a:** Fernando de Santos Lorient  
**Calificación obtenida:** Sobresaliente  
**Fecha de defensa:** 29/06/2017

**Tipo de entidad:** Universidad

**12 Título del trabajo:** Diseño y evaluación de las memorias cache para un chip multicore alimentado a muy baja tensión

**Tipo de proyecto:** Proyecto Final de Grado  
**Entidad de realización:** Universidad de Zaragoza  
**Alumno/a:** Carlos Escuín Blasco  
**Calificación obtenida:** Sobresaliente  
**Fecha de defensa:** 13/09/2016

**Tipo de entidad:** Universidad

**13 Título del trabajo:** Diseño y evaluación de las memorias cache para un chip multicore alimentado a muy baja tensión

**Tipo de proyecto:** Proyecto Final de Grado  
**Entidad de realización:** Universidad de Zaragoza  
**Alumno/a:** Agustín Navarro Torres  
**Calificación obtenida:** Sobresaliente

**Tipo de entidad:** Universidad



**Fecha de defensa:** 13/09/2016

**14 Título del trabajo:** Selección de contenidos basada en reuso para caches compartidas en exclusión

**Tipo de proyecto:** Proyecto Final de Máster

**Entidad de realización:** Universidad de Zaragoza

**Tipo de entidad:** Universidad

**Alumno/a:** Javier Diaz Maag

**Calificación obtenida:** Sobresaliente

**Fecha de defensa:** 06/10/2014

**17 Título del trabajo:** ANÁLISIS Y OPTIMIZACIÓN DE GEM: UNA LIBRERÍA PARA EL ANÁLISIS E INDEXACIÓN DE INFORMACIÓN GENÉTICA

**Tipo de proyecto:** Proyecto Final de Carrera

**Entidad de realización:** Universidad de Zaragoza

**Tipo de entidad:** Universidad

**Alumno/a:** Santiago Marco Sola

**Calificación obtenida:** Sobresaliente

**Fecha de defensa:** 24/09/2010

**18 Título del trabajo:** Prebúsqueda adaptativa en un chip multiprocesador

**Tipo de proyecto:** Proyecto Final de Máster

**Entidad de realización:** Universidad de Zaragoza

**Tipo de entidad:** Universidad

**Alumno/a:** Jorge Albericio Latorre

**Calificación obtenida:** Sobresaliente

**Fecha de defensa:** 23/09/2010

**20 Título del trabajo:** Influencia de la organización de la memoria principal sobre la prebúsqueda hardware de datos

**Tipo de proyecto:** Trabajo conducente a obtención de DEA

**Entidad de realización:** Universidad de Zaragoza

**Tipo de entidad:** Universidad

**Alumno/a:** Alfonso Marquina Céspedes

**Calificación obtenida:** Notable

**Fecha de defensa:** 04/09/2009

**21 Título del trabajo:** CARACTERIZACIÓN DE BIOBENCH/BIOPARALLEL EN UNA JERARQUÍA DE MEMORIA MODERNA

**Tipo de proyecto:** Proyecto Final de Carrera

**Entidad de realización:** Universidad de Zaragoza

**Tipo de entidad:** Universidad

**Alumno/a:** Jorge Albericio Latorre

**Calificación obtenida:** Notable

**Fecha de defensa:** 06/03/2008

**22 Título del trabajo:** CARACTERIZACIÓN DE MEMORIAS DINÁMICAS CICLO A CICLO Y APLICACIÓN AL DISEÑO HARDWARE DE UN CONTROLADOR DE MEMORIA

**Tipo de proyecto:** Proyecto Final de Carrera

**Entidad de realización:** Universidad de Zaragoza

**Tipo de entidad:** Universidad

**Alumno/a:** Alfonso Marquina Céspedes

**Calificación obtenida:** Sobresaliente

**Fecha de defensa:** 19/12/2007

**24 Título del trabajo:** SIMFO: SIMULADOR FUERA DE ORDEN DE UN PROCESADOR SUPERESCALAR SPARCv9

**Tipo de proyecto:** Proyecto Final de Carrera

**Codirector/a tesis:** Viñals Yúfera, Víctor



**Entidad de realización:** Universidad de Zaragoza  
**Alumno/a:** José Ignacio Lafuente Botella  
**Calificación obtenida:** Sobresaliente  
**Fecha de defensa:** 24/06/1999

**Tipo de entidad:** Universidad

**25 Título del trabajo:** SISTEMA AUTOMATICO DE ALIMENTACION LIQUIDA PARA EXPLOTACIONES INTENSIVAS DE GANADO PORCINO

**Tipo de proyecto:** Proyecto Final de Carrera  
**Codirector/a tesis:** Fuentes Moreno, Juan Álvaro  
**Entidad de realización:** Universidad de Zaragoza  
**Alumno/a:** Francisco Javier Fuentes Moreno  
**Calificación obtenida:** Sobresaliente  
**Fecha de defensa:** 11/12/1998

**Tipo de entidad:** Universidad

**26 Título del trabajo:** SIMULACION DE JERARQUIAS DE MEMORIA: MUESTREO Y PARALELIZACION

**Tipo de proyecto:** Proyecto Final de Carrera  
**Entidad de realización:** Universidad de Zaragoza  
**Alumno/a:** Maria Belén Estrada Ramos  
**Calificación obtenida:** Notable  
**Fecha de defensa:** 06/07/1998

**Tipo de entidad:** Universidad

**27 Título del trabajo:** SIMULACION AVANZADA DE JERARQUIAS DE MEMORIA

**Tipo de proyecto:** Proyecto Final de Carrera  
**Entidad de realización:** Universidad de Zaragoza  
**Alumno/a:** Luis Martin Jimeno Ochoa  
**Calificación obtenida:** Sobresaliente  
**Fecha de defensa:** 26/04/1996

**Tipo de entidad:** Universidad

**28 Título del trabajo:** Diseño de un gestor de memoria virtual paginada para el sistema operativo MINIX sobre i486

**Tipo de proyecto:** Proyecto Final de Carrera  
**Codirector/a tesis:** José Luis Briz Velasco  
**Entidad de realización:** Universidad de Zaragoza  
**Alumno/a:** Juan Álvaro Fuentes Moreno  
**Calificación obtenida:** Sobresaliente  
**Fecha de defensa:** 01/02/1994

**Tipo de entidad:** Universidad

## B.4 Otras actividades docentes

### B.4.1 Publicaciones docentes

- 1** Valero, Alejandro; Gran-Tejero, Rubén; Suárez-Gracia, Darío; Georgescu, Emanue A.; Ezpeleta, Joaquín; Álvarez, Pedro; Muñoz, Adolfo; Ramos, Luis M.; Ibáñez, Pablo. A learning experience toward the understanding of abstraction-level interactions in parallel applications. JOURNAL OF PARALLEL AND DISTRIBUTED COMPUTING. 156, pp. 38 - 52. 2021. ISSN 0743-7315  
**DOI:** 10.1016/j.jpdc.2021.05.008  
**Enlace acceso abierto:** <https://www.sciencedirect.com/science/article/pii/S0743731521001131?via%3Dihub>  
**Tipo de producción:** Artículo científico  
**Fuente de impacto:** WOS (JCR)  
**Índice de impacto:** 4.542
- Categoría:** Science Edition - COMPUTER SCIENCE, THEORY & METHODS  
**Revista dentro del 25%:** Si



**Posición de publicación:** 18

**Num. revistas en cat.:** 110

**Fuente de impacto:** SCOPUS (SJR)

**Categoría:** Theoretical Computer Science

**Índice de impacto:** 1.289

**Revista dentro del 25%:** Si

**Fuente de impacto:** SCOPUS (CITESCORE)

**Categoría:** Computer Science (miscellaneous)

**Índice de impacto:** 9.200

**Revista dentro del 25%:** Si

**Posición de publicación:** 175

**Num. revistas en cat.:** 1.812

## 2 Título del trabajo: Exposing Abstraction-Level Interactions with a Parallel Ray Tracer

**Nombre del congreso:** Workshop on Computer Architecture Education (WCAE'19). In conjunction with The The 46th Int'l Symposium on Computer Architecture (ISCA)

**Ámbito geográfico:** Internacional no UE

**Tipo de participación:** Participativo - Ponencia oral (comunicación oral)

**Ciudad de celebración:** Phoenix, Estados Unidos de América

**Fecha de celebración:** 22/06/2019

**Publicación en acta congreso:** Si

Valero Bresó, Alejandro; Suárez Gracia, Darío; Gran Tejero, Rubén; Ramos Martínez, Luis Manuel; Navarro Torres, Agustín; Muñoz Orbañanos, Adolfo; Ezpeleta Mateo, Joaquín; Briz Velasco, José Luis; Murillo Arnal, Ana Cristina; Montijano Muñoz, Eduardo; Resano Ezcaray, Jesús Javier; Villarroja Gaudó, María; Alastruey Benedé, Jesús; Torres Moreno, Enrique; Álvarez Pérez-Aradros, Pedro Javier; Ibáñez Marín, Pablo Enrique; Viñals Yúfera, Víctor. "Exposing Abstraction-Level Interactions with a Parallel Ray Tracer". En: Proceedings of the Workshop on Computer Architecture Education (WCAE'19). In conjunction with The The 46th Int'l Symposium on Computer Architecture (ISCA). 5, pp. 1 - 8. 2019. ISBN 978-1-4503-6669-4

**Enlace acceso abierto:** [http://webdiis.unizar.es/gaz/biblio/pdfs/2019\\_WCAE\\_author\\_version.pdf](http://webdiis.unizar.es/gaz/biblio/pdfs/2019_WCAE_author_version.pdf)

## B.4.2 Proyectos de innovación docente

- 1 Plataforma multi-asignatura para la mejora del aprendizaje en el grado en Ingeniería Informática: ensayo con alumnos (PIIDUZ\_18\_246). Desde: 01/09/2018 Hasta: 31/08/2019.
- 2 Incorporación de la asignatura de Sistemas Operativos I (12020) al ADD (PESUZ\_10\_2\_228). Desde: 01/09/2010 Hasta: 31/08/2011.
- 3 Realización de Proyectos con un entorno basado en el procesador ARM como método de aprendizaje en la asignatura de Laboratorio de Computadores (PIIDUZ\_08\_2\_246). Desde: 01/09/2008 Hasta: 31/08/2009
- 4 Mejora e innovación de la docencia práctica de "Fundamentos de Arquitecturas Paralelas" asignatura de ingeniería informática (2004/CPI064). Desde: 01/09/2004 Hasta: 31/08/2005.
- 5 Sistemas Operativos I en Ingeniería Informática (2004/CPI025). Desde: 01/09/2004 Hasta: 31/08/2005.
- 6 Simulador de procesadores virtuales para docencia (2004/CPI057). Desde: 01/09/2004 Hasta: 31/08/2005.
- 7 Proyecto de incentivación de la innovación docente para la adaptación de las titulaciones de la Universidad de Zaragoza al Espacio Europeo de Educación Superior, PIIDUZ 2006 "Materia troncal Redes en Ingeniería informática" (B2-33). Desde: 01/09/2006 Hasta: 31/08/2007.
- 8 Proyecto de incentivación de la innovación docente para la adaptación de las titulaciones de la Universidad de Zaragoza al Espacio Europeo de Educación Superior, PIIDUZ 2007 "Materia troncal Redes en Ingeniería informática II" (B1-327). Desde: 01/09/2007 Hasta: 31/08/2008.

**c****v****n**

CURRÍCULUM VÍTAE NORMALIZADO

- 9** Proyecto de incentivación de la innovación docente para la adaptación de las titulaciones de la Universidad de Zaragoza al Espacio Europeo de Educación Superior, PIIDUZ 2007 "Materia troncal Estructura y Tecnología de Computadores en Ingeniería Informática" (B2-329). Desde: 01/09/2007 Hasta: 31/08/2008.



## C. Experiencia científica y tecnológica

### C.1 Grupos/equipos de investigación, desarrollo o innovación

**1 Nombre del grupo:** T58\_23R: gaZ: grupo de Arquitectura de Computadores de la Universidad de Zaragoza

**Entidad de afiliación:** Universidad de Zaragoza

**Tipo de entidad:** Universidad

**2 Nombre del grupo:** Pertenencia a instituto de investigación universitaria

**Entidad de afiliación:** INSTITUTO DE INVESTIGACIÓN EN INGENIERÍA DE ARAGÓN (I3A)

**Tipo de entidad:** Instituto Universitario de Investigación

### C.2 Actividad científica o tecnológica

#### C.2.1 Proyectos de I+D+i financiados en convocatorias competitivas de Administraciones o entidades públicas y privadas

##### C.2.1.a Participación como Investigador Principal

**1 Nombre del proyecto:** ACELERADORES OPTIMIZADOS Y RESILIENTES PARA APRENDIZAJE AUTOMÁTICO EN ENTORNOS RISC-V (RETORNNA) (PDC2023-145851-I00)

**Ámbito geográfico:** Nacional

**Entidad de realización:** Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza

**Nombres investigadores principales (IP, Co-IP,...):** Jesús Javier Resano Ezcaray; Pablo Enrique Ibáñez Marín

**Nº de investigadores/as:** 11

**Entidad/es financiadora/s:**

MINISTERIO DE CIENCIA E INNOVACIÓN

**Fecha de inicio-fin:** 01/01/2024 - 31/12/2025

**Duración:** 2 años

**Cuantía total:** 274.778,9 €

**2 Nombre del proyecto:** T58\_23R: gaZ: grupo de Arquitectura de Computadores de la Universidad de Zaragoza

**Ámbito geográfico:** Autonómica

**Entidad de realización:** Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza

**Nombres investigadores principales (IP, Co-IP,...):** Víctor Viñals Yúfera; Pablo Enrique Ibáñez Marín

**Nº de investigadores/as:** 22

**Entidad/es financiadora/s:**

GOBIERNO DE ARAGÓN

**Fecha de inicio-fin:** 01/01/2023 - 31/12/2025

**Duración:** 3 años

**Cuantía total:** 41.174,86 €



**3 Nombre del proyecto:** PID2019-105660RB-C21: Jerarquía de memoria, gestión de tareas y optimización de aplicaciones

**Ámbito geográfico:** Nacional

**Entidad de realización:** Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza

**Nombres investigadores principales (IP, Co-IP,...):** Pablo Enrique Ibáñez Marín; Jesús Javier Resano Ezcaray

**Nº de investigadores/as:** 14

**Entidad/es financiadora/s:**

AGENCIA ESTATAL DE INVESTIGACIÓN

**Fecha de inicio-fin:** 01/06/2020 - 31/05/2023

**Duración:** 3 años

**Cuantía total:** 197.714 €

**4 Nombre del proyecto:** TIN2016-76635-C2-1-R: COORDINADOR: ARQUITECTURA Y PROGRAMACIÓN DE COMPUTADORES ESCALABLES DE ALTO RENDIMIENTO Y BAJO CONSUMO.

**Ámbito geográfico:** Nacional

**Entidad de realización:** Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza

**Nombres investigadores principales (IP, Co-IP,...):** Pablo Enrique Ibáñez Marín; Jesús Javier Resano Ezcaray

**Nº de investigadores/as:** 13

**Entidad/es financiadora/s:**

MINECO. MINISTERIO DE ECONOMIA Y COMPETITIVIDAD

**Fecha de inicio-fin:** 30/12/2016 - 29/12/2019

**Duración:** 3 años

**Cuantía total:** 219.736 €

**5 Nombre del proyecto:** TIN2013-46957-C2-1-P: JERARQUÍA DE MEMORIA Y APLICACIONES

**Ámbito geográfico:** Nacional

**Entidad de realización:** Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza

**Nombres investigadores principales (IP, Co-IP,...):** Víctor Viñals Yufera; Pablo Enrique Ibáñez Marín

**Nº de investigadores/as:** 13

**Entidad/es financiadora/s:**

MINECO. MINISTERIO DE ECONOMIA Y COMPETITIVIDAD

**Fecha de inicio-fin:** 01/01/2014 - 31/12/2016

**Duración:** 3 años

**Cuantía total:** 129.300,6 €

**6 Nombre del proyecto:** INF2007-TEC-14 NODOS DE COMPUTACION TIPO ALTIX XE 210 CON PROCESADORES DE DOBLE NUCLEO

**Entidad de realización:** Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza

**Nombres investigadores principales (IP, Co-IP,...):** Pablo Enrique Ibáñez Marín

**Nº de investigadores/as:** 1

**Entidad/es financiadora/s:**

D.G.A./U.Z.

**Fecha de inicio-fin:** 29/06/2007 - 31/12/2007

**Duración:** 6 meses - 2 días

**Cuantía total:** 8.800 €



### C.2.1.b Participación como miembro del equipo investigador

**1 Nombre del proyecto:** PID2022-136454NB-C22: Arquitectura y programación de Computadores Escalables de Alto Rendimiento y Bajo Consumo III - UZ

**Ámbito geográfico:** Nacional

**Entidad de realización:** Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza

**Nombres investigadores principales (IP, Co-IP,...):** Jesús Javier Resano Ezcaray; Darío Suárez Gracia

**Nº de investigadores/as:** 13

**Entidad/es financiadora/s:**

AGENCIA ESTATAL DE INVESTIGACIÓN

UNION EUROPEA

**Fecha de inicio-fin:** 01/09/2023 - 31/08/2026

**Duración:** 3 años

**Cuantía total:** 312.500 €

**2 Nombre del proyecto:** T58\_20R: Grupo De Arquitectura De Computadores De La Universidad De Zaragoza (gaZ)

**Ámbito geográfico:** Autonómica

**Entidad de realización:** Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza

**Nombres investigadores principales (IP, Co-IP,...):** Víctor Viñals Yufera

**Nº de investigadores/as:** 23

**Entidad/es financiadora/s:**

GOBIERNO DE ARAGÓN

**Fecha de inicio-fin:** 01/01/2020 - 31/12/2022

**Duración:** 3 años

**Cuantía total:** 25.094 €

**3 Nombre del proyecto:** JIUZ-2019-TEC-08: Técnicas de Redistribución de Registros en GPUs con Fallos Permanentes

**Ámbito geográfico:** Otros

**Entidad de realización:** Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza

**Nombres investigadores principales (IP, Co-IP,...):** Alejandro Valero Bresó

**Nº de investigadores/as:** 5

**Entidad/es financiadora/s:**

FUNDACIÓN BANCARIA IBERCAJA

UNIVERSIDAD DE ZARAGOZA

**Fecha de inicio-fin:** 01/01/2020 - 31/12/2020

**Duración:** 1 año

**Cuantía total:** 2.000 €

**4 Nombre del proyecto:** JIUZ-2018-TEC-13: CARACTERIZACIÓN DEL ENVEJECIMIENTO DE LOS TRANSISTORES UTILIZADOS EN ACELERADORES PARA REDES NEURONALES Y DISEÑO DE MECANISMOS ARQUITECTÓNICOS PARA COMBATIR SU EFECTO

**Ámbito geográfico:** Otros

**Entidad de realización:** Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza

**Nombres investigadores principales (IP, Co-IP,...):** Alejandro Valero Bresó

**Nº de investigadores/as:** 8

**Entidad/es financiadora/s:**

FUNDACIÓN BANCARIA IBERCAJA

UNIVERSIDAD DE ZARAGOZA

**Fecha de inicio-fin:** 01/01/2019 - 31/12/2019

**Duración:** 1 año



**Cuantía total:** 2.000 €

**5 Nombre del proyecto:** GRUPO DE REFERENCIA GRUPO DE ARQUITECTURA DE COMPUTADORES DE LA UNIZAR (gaZ).

**Ámbito geográfico:** Autonómica

**Entidad de realización:** Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza

**Nombres investigadores principales (IP, Co-IP,...):** Víctor Viñals Yufera

**Nº de investigadores/as:** 25

**Entidad/es financiadora/s:**

GOBIERNO DE ARAGÓN

**Fecha de inicio-fin:** 01/01/2017 - 31/12/2019

**Duración:** 3 años

**Cuantía total:** 37.792 €

**6 Nombre del proyecto:** GRUPO CONSOLIDADO T48 gaZ: GRUPO DE ARQUITECTURA DE COMPUTADORES DE LA UNIVERSIDAD DE ZARAGOZA

**Ámbito geográfico:** Autonómica

**Entidad de realización:** Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza

**Nombres investigadores principales (IP, Co-IP,...):** Víctor Viñals Yufera

**Nº de investigadores/as:** 15

**Entidad/es financiadora/s:**

DIPUTACIÓN GENERAL DE ARAGÓN

**Fecha de inicio-fin:** 01/01/2016 - 31/12/2016

**Duración:** 1 año

**Cuantía total:** 7.662 €

**7 Nombre del proyecto:** GRUPO CONSOLIDADO T48 GRUPO DE ARQUITECTURA DE COMPUTADORES DE LA UNIVERSIDAD DE ZARAGOZA (gaZ)

**Ámbito geográfico:** Autonómica

**Entidad de realización:** Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza

**Nombres investigadores principales (IP, Co-IP,...):** Víctor Viñals Yufera

**Nº de investigadores/as:** 16

**Entidad/es financiadora/s:**

DIPUTACIÓN GENERAL DE ARAGÓN

**Fecha de inicio-fin:** 01/01/2015 - 31/12/2015

**Duración:** 1 año

**Cuantía total:** 7.322 €

**8 Nombre del proyecto:** GRUPO CONSOLIDADO T48 GRUPO DE ARQUITECTURA DE COMPUTADORES DE LA UNIVERSIDAD DE ZARAGOZA (gaZ)

**Ámbito geográfico:** Autonómica

**Entidad de realización:** Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza

**Nombres investigadores principales (IP, Co-IP,...):** Víctor Viñals Yufera

**Nº de investigadores/as:** 16

**Entidad/es financiadora/s:**

DIPUTACIÓN GENERAL DE ARAGÓN

**Fecha de inicio-fin:** 01/01/2014 - 31/12/2014

**Duración:** 1 año

**Cuantía total:** 7.633 €

**9 Nombre del proyecto:** CIM: CUANTIFICACIÓN DE IMÁGENES MÉDICAS

**Ámbito geográfico:** Nacional

**Entidad de realización:** Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza

**Nombres investigadores principales (IP, Co-IP,...):** Salvador Olmos Gasso



**Nº de investigadores/as:** 7

**Entidad/es financiadora/s:**

MINISTERIO DE CIENCIA E INNOVACIÓN

**Fecha de inicio-fin:** 01/10/2011 - 31/12/2014

**Duración:** 3 años - 3 meses

**Cuantía total:** 144.825,8 €

**10 Nombre del proyecto:** GRUPO CONSOLIDADO T48 GRUPO DE ARQUITECTURA DE COMPUTADORES DE LA UNIVERSIDAD DE ZARAGOZA (gaZ)

**Entidad de realización:** Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza

**Nombres investigadores principales (IP, Co-IP,...):** Víctor Viñals Yufera

**Nº de investigadores/as:** 16

**Entidad/es financiadora/s:**

DIPUTACIÓN GENERAL DE ARAGÓN

**Fecha de inicio-fin:** 01/01/2013 - 31/12/2013

**Duración:** 1 año

**Cuantía total:** 6.554 €

**11 Nombre del proyecto:** TIN2010-21291-C02-01. JERARQUÍA DE MEMORIA

**Ámbito geográfico:** Nacional

**Entidad de realización:** Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza

**Nombres investigadores principales (IP, Co-IP,...):** Víctor Viñals Yufera

**Nº de investigadores/as:** 21

**Entidad/es financiadora/s:**

MINISTERIO DE CIENCIA E INNOVACION

**Fecha de inicio-fin:** 01/01/2011 - 31/12/2013

**Duración:** 3 años

**Cuantía total:** 236.676 €

**12 Nombre del proyecto:** GRUPO CONSOLIDADO T48 GRUPO DE ARQUITECTURA DE COMPUTADORES DE LA UNIVERSIDAD DE ZARAGOZA (GAZ)

**Ámbito geográfico:** Autonómica

**Entidad de realización:** Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza

**Nombres investigadores principales (IP, Co-IP,...):** Víctor Viñals Yufera

**Nº de investigadores/as:** 16

**Entidad/es financiadora/s:**

D.G.A.

**Fecha de inicio-fin:** 01/01/2011 - 31/12/2012

**Duración:** 2 años

**Cuantía total:** 20.246 €

**13 Nombre del proyecto:** Supercomputación y e-Ciencia. CONSOLIDER. Ref. CSD2007-00050

**Ámbito geográfico:** Nacional

**Entidad de realización:** Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza

**Nombres investigadores principales (IP, Co-IP,...):** Mateo Valero Cortés

**Nº de investigadores/as:** 136

**Entidad/es financiadora/s:**

MEC (Proyecto Consolider del Programa Ingenio-2010)

**Fecha de inicio-fin:** 01/01/2007 - 31/12/2012

**Duración:** 5 años

**Cuantía total:** 5 millones de euros

**14 Nombre del proyecto:** PIREGRID I3A

**Ámbito geográfico:** Unión Europea



**Entidad de realización:** Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza

**Nombres investigadores principales (IP, Co-IP,...):** María Villarroya Gaudó

**Nº de investigadores/as:** 21

**Entidad/es financiadora/s:**

UNION EUROPEA

**Fecha de inicio-fin:** 01/06/2009 - 31/05/2012

**Duración:** 3 años

**Cuantía total:** 97.332,67 €

**15 Nombre del proyecto:** GRUPO CONSOLIDADO T48 GRUPO DE ARQUITECTURA DE COMPUTADORES DE LA UNIVERSIDAD DE ZARAGOZA (GAZ)

**Ámbito geográfico:** Autonómica

**Entidad de realización:** Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza

**Nombres investigadores principales (IP, Co-IP,...):** Víctor Viñals Yufera

**Nº de investigadores/as:** 14

**Entidad/es financiadora/s:**

D.G.A.

**Fecha de inicio-fin:** 01/01/2008 - 31/12/2010

**Duración:** 3 años

**Cuantía total:** 33.128 €

**16 Nombre del proyecto:** TIN2007-66423 JERARQUÍA DE MEMORIA DE ALTO RENDIMIENTO.

**Ámbito geográfico:** Nacional

**Entidad de realización:** Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza

**Nombres investigadores principales (IP, Co-IP,...):** Víctor Viñals Yufera

**Nº de investigadores/as:** 15

**Entidad/es financiadora/s:**

MINISTERIO DE EDUCACION Y CIENCIA

**Fecha de inicio-fin:** 01/10/2007 - 30/09/2010

**Duración:** 3 años

**Cuantía total:** 152.460 €

**17 Nombre del proyecto:** GRUPO CONSOLIDADO T48 GRUPO DE ARQUITECTURA DE COMPUTADORES DE LA UNIVERSIDAD DE ZARAGOZA (gaZ)

**Ámbito geográfico:** Autonómica

**Entidad de realización:** Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza

**Nombres investigadores principales (IP, Co-IP,...):** Víctor Viñals Yufera

**Nº de investigadores/as:** 14

**Entidad/es financiadora/s:**

D.G.A.

**Fecha de inicio-fin:** 01/01/2005 - 31/12/2007

**Duración:** 3 años

**Cuantía total:** 27.062,76 €

**18 Nombre del proyecto:** TIN2004-07739-C02-02. COMPUTACION DE ALTAS PRESTACIONES IV. JERARQUIA DE MEMORIA DE ALTAS PRESTACIONES.

**Ámbito geográfico:** Nacional

**Entidad de realización:** Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza

**Nombres investigadores principales (IP, Co-IP,...):** Víctor Viñals Yufera

**Nº de investigadores/as:** 12

**Entidad/es financiadora/s:**

D.G.I. (MINISTERIO DE CIENCIA Y TECNOLOGÍA)

**Fecha de inicio-fin:** 13/12/2004 - 12/12/2007

**Duración:** 3 años

**Cuantía total:** 161.000 €





**19 Nombre del proyecto:** TIC2001-0995-C02-02. COMPUTACION DE ALTAS PRESTACIONES III. JERARQUIA DE MEMORIA DE ALTAS PRESTACIONES.

**Entidad de realización:** Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza

**Nombres investigadores principales (IP, Co-IP,...):** Víctor Viñals Yufera

**Nº de investigadores/as:** 10

**Entidad/es financiadora/s:**

C.I.C.Y.T.

**Fecha de inicio-fin:** 28/12/2001 - 27/12/2004

**Duración:** 3 años

**Cuantía total:** 130.629,99 €

**20 Nombre del proyecto:** TIC98-0511-C02-02 COMPUTACIÓN DE ALTAS PRESTACIONES II. OCULTACIÓN DE LATENCIA.

**Entidad de realización:** Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza

**Nombres investigadores principales (IP, Co-IP,...):** Víctor Viñals Yufera

**Nº de investigadores/as:** 7

**Entidad/es financiadora/s:** C.I.C.Y.T.

**Fecha de inicio-fin:** 01/10/1998 - 30/09/2001

**Duración:** 3 años

**Cuantía total:** 60.005,05 €

### C.2.2 Contratos, convenios o proyectos de I+D+i no competitivos con Administraciones o entidades públicas o privadas

**1 Nombre del proyecto:** EFFICIENT ARCHITECTURES, EMBEDDED AND HPC SYSTEMS, AND APPLICATION OPTIMIZATION

**Ámbito geográfico:** Otros

**Entidad de realización:** Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza

**Nombres investigadores principales (IP, Co-IP,...):** Jesús Javier Resano Ezcaray

**Nº de investigadores/as:** 5

**Entidad/es financiadora/s:**

VARIAS EMPRESAS

**Fecha de inicio:** 09/07/2024

**Duración:** 5 años - 1 día

**2 Nombre del proyecto:** ACTUALIZACION DEL SOFTWARE DE PRODUCCION Y DESARROLLO DE PROTOTIPOS EN EL AREA DE LA INGENIERIA ELECTRONICA

**Entidad de realización:** Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza

**Nombres investigadores principales (IP, Co-IP,...):** Pablo Enrique Ibáñez Marín

**Nº de investigadores/as:** 1

**Entidad/es financiadora/s:**

SELCOM ARAGON, S.A.

**Fecha de inicio:** 01/03/2000

**Duración:** 10 meses

**Cuantía total:** 1.164,28 €

## D. Actividades científicas y tecnológicas

### D.1 Producción científica

#### D.1.1 Publicaciones, documentos científicos y técnicos: revistas indexadas

- 1 Agustín Navarro-Torres, Biswabandan Panda, Jesús Alastruey-Benedé, Pablo Ibáñez, Víctor Viñals-Yúfera, and Alberto Ros. A Complexity-Effective Local Delta Prefetcher. Aceptado para publicación en IEEE TRANSACTIONS ON COMPUTERS. ISSN 0018-9956

**Tipo de producción:** Artículo científico

**Fuente de impacto:** WOS (JCR)

**Índice de impacto:** 3.600

**Posición de publicación:** 17

**Fuente de impacto:** WOS (JCR)

**Índice de impacto:** 3.600

**Posición de publicación:** 118

**Fuente de impacto:** SCOPUS (SJR)

**Índice de impacto:** 1.307

**Posición de publicación:** 48

**Fuente de impacto:** SCOPUS (CITESCORE)

**Índice de impacto:** 6.600

**Posición de publicación:** 27

**Fuente de impacto:** SCOPUS (CITESCORE)

**Índice de impacto:** 6.600

**Posición de publicación:** 26

**Categoría:** Science Edition - COMPUTER SCIENCE, HARDWARE & ARCHITECTURE

**Revista dentro del 25%:** No

**Num. revistas en cat.:** 59

**Categoría:** Science Edition - ENGINEERING, ELECTRICAL & ELECTRONIC

**Num. revistas en cat.:** 353

**Categoría:** Hardware and Architecture

**Num. revistas en cat.:** 177

**Categoría:** Computational Theory and Mathematics

**Revista dentro del 25%:** Si

**Num. revistas en cat.:** 176

**Categoría:** Theoretical Computer Science

**Revista dentro del 25%:** Si

**Num. revistas en cat.:** 130

- 2 López-Villellas, Lorién; Langarita-Benítez, Rubén; Badouh, Asaf; Soria-Pardos, Víctor; Aguado-Puig, Quim; López-Paradís, Guillem; Doblas, Max; Setoain, Javier; Kim, Chulho; Ono, Makoto; Armejach, Adrià; Marco-Sola, Santiago; Alastruey-Benedé, Jesús; Ibáñez, Pablo; Moretó, Miquel. GenArchBench: A genomics benchmark suite for arm HPC processors. FUTURE GENERATION COMPUTER SYSTEMS-THE INTERNATIONAL JOURNAL OF GRID COMPUTING THEORY METHODS AND APPLICATIONS. 157, pp. 313 - 329. 2024. ISSN 0167-739X

**DOI:** 10.1016/j.future.2024.03.050

**Enlace acceso abierto:** <https://www.sciencedirect.com/science/article/pii/S0167739X24001250>

**Tipo de producción:** Artículo científico

**Fuente de impacto:** WOS (JCR)

**Índice de impacto:** 6.200

**Posición de publicación:** 14

**Categoría:** Science Edition - COMPUTER SCIENCE, THEORY AND METHODS PHYSICS

**Revista dentro del 25%:** Si

**Num. revistas en cat.:** 144



**Fuente de impacto:** SCOPUS (SJR)

**Índice de impacto:** 1.946

**Posición de publicación:** 13

**Fuente de impacto:** SCOPUS (CITESCORE)

**Índice de impacto:** 19.900

**Posición de publicación:** 5

**Categoría:** Hardware and Architecture

**Revista dentro del 25%:** Si

**Num. revistas en cat.:** 181

**Categoría:** Hardware and Architecture

**Revista dentro del 25%:** Si

**Num. revistas en cat.:** 177

- 3** López-Villellas, L.; Kjølgaard Mikkelsen C. Ch.; Galano-Frutos, J. J.; Marco-Sola, S.; Alastruey-Benedé, J.; Ibáñez, P.; Moretó, M.; Sancho, J.; García-Risueño, P. Accurate and efficient constrained molecular dynamics of polymers using Newton's method and special purpose code. COMPUTER PHYSICS COMMUNICATIONS. 288, pp. 108742 [12 pp.]. 2023. ISSN 0010-4655

**DOI:** 10.1016/j.cpc.2023.108742

**Enlace acceso abierto:** <https://www.sciencedirect.com/science/article/pii/S0010465523000875>

**Tipo de producción:** Artículo científico

**Fuente de impacto:** WOS (JCR)

**Fuente de impacto:** WOS (JCR)

**Índice de impacto:** 7.200

**Posición de publicación:** 16

**Fuente de impacto:** WOS (JCR)

**Índice de impacto:** 7.200

**Posición de publicación:** 1

**Fuente de impacto:** SCOPUS (SJR)

**Índice de impacto:** 1.790

**Fuente de impacto:** SCOPUS (CITESCORE)

**Índice de impacto:** 12.100

**Posición de publicación:** 12

**Categoría:** Science Edition - COMPUTER SCIENCE, INTERDISCIPLINARY APPLICATIONS

**Revista dentro del 25%:** Si

**Num. revistas en cat.:** 170

**Categoría:** Science Edition - PHYSICS, MATHEMATICAL

**Revista dentro del 25%:** Si

**Num. revistas en cat.:** 60

**Categoría:** Hardware and Architecture

**Revista dentro del 25%:** Si

**Categoría:** Hardware and Architecture

**Revista dentro del 25%:** Si

**Num. revistas en cat.:** 177

- 4** Navarro-Torres, Agustín; Alastruey-Benedé, Jesús; Ibáñez, Pablo; Viñals-Yúfera, Víctor. Balancer: bandwidth allocation and cache partitioning for multicore processors. JOURNAL OF SUPERCOMPUTING. 79, pp. 10252– 10276. 2023. ISSN 0920-8542

**DOI:** 10.1007/s11227-023-05070-0

**Enlace acceso abierto:** <https://link.springer.com/article/10.1007/s11227-023-05070-0>

**Tipo de producción:** Artículo científico

**Fuente de impacto:** WOS (JCR)

**Índice de impacto:** 2.500

**Posición de publicación:** 28

**Fuente de impacto:** WOS (JCR)

**Índice de impacto:** 2.500

**Posición de publicación:** 48

**Fuente de impacto:** SCOPUS (SJR)

**Índice de impacto:** 0.763

**Fuente de impacto:** SCOPUS (CITESCORE)

**Categoría:** Science Edition - COMPUTER SCIENCE, HARDWARE & ARCHITECTURE

**Num. revistas en cat.:** 59

**Categoría:** Science Edition - COMPUTER SCIENCE, THEORY & METHODS

**Num. revistas en cat.:** 144

**Categoría:** Hardware and Architecture

**Categoría:** Hardware and Architecture

**Índice de impacto:** 6.300

**Posición de publicación:** 52

**Fuente de impacto:** SCOPUS (CITESCORE)

**Índice de impacto:** 6.300

**Posición de publicación:** 28

**Num. revistas en cat.:** 177

**Categoría:** Theoretical Computer Science

**Revista dentro del 25%:** Si

**Num. revistas en cat.:** 130

- 5** Escuin, Carlos; Ibáñez, Pablo; Navarro, Denis; Monreal, Teresa; Llabería, José M.; Viñals, Víctor. L2C2: Last-level compressed-contents non-volatile cache and a procedure to forecast performance and lifetime. PLOS ONE. 18 - 2, pp. e0278346 [36 pp.]. 2023. ISSN 1932-6203

**DOI:** 10.1371/journal.pone.0278346

**Enlace acceso abierto:** <https://journals.plos.org/plosone/article?id=10.1371/journal.pone.0278346>

**Tipo de producción:** Artículo científico

**Fuente de impacto:** WOS (JCR)

**Categoría:** Science Edition - MULTIDISCIPLINARY SCIENCES

**Índice de impacto:** 2.900

**Posición de publicación:** 32

**Revista dentro del 25%:** Si

**Num. revistas en cat.:** 134

**Fuente de impacto:** SCOPUS (SJR)

**Índice de impacto:** 0.839

**Categoría:** Multidisciplinary

**Revista dentro del 25%:** Si

**Fuente de impacto:** SCOPUS (CITESCORE)

**Índice de impacto:** 6.200

**Posición de publicación:** 18

**Categoría:** Multidisciplinary

**Revista dentro del 25%:** Si

**Num. revistas en cat.:** 171

- 6** Langarita, Rubén; Armejach, Adrià; Ibáñez, Pablo; Alastruey-Benedé, Jesús; Moretó, Miquel. Porting and optimizing BWA-MEM2 using the Fujitsu A64FX processor. IEEE/ACM TRANSACTIONS ON COMPUTATIONAL BIOLOGY AND BIOINFORMATICS. 20 - 5, pp. 3139 - 3153. 2023. ISSN 1545-5963

**DOI:** 10.1109/TCBB.2023.3264514

**Enlace acceso abierto:** [http://webdiis.unizar.es/~chus/pubs/2023\\_TCBB\\_accepted.pdf](http://webdiis.unizar.es/~chus/pubs/2023_TCBB_accepted.pdf)

**Tipo de producción:** Artículo científico

**Fuente de impacto:** WOS (JCR)

**Categoría:** Science Edition - COMPUTER SCIENCE, INTERDISCIPLINARY APPLICATIONS

**Índice de impacto:** 3.600

**Posición de publicación:** 57

**Num. revistas en cat.:** 170

**Fuente de impacto:** WOS (JCR)

**Categoría:** Science Edition - STATISTICS & PROBABILITY

**Índice de impacto:** 3.600

**Posición de publicación:** 11

**Revista dentro del 25%:** Si

**Num. revistas en cat.:** 168

**Fuente de impacto:** WOS (JCR)

**Categoría:** Science Edition - MATHEMATICS, INTERDISCIPLINARY APPLICATIONS

**Índice de impacto:** 3.600

**Posición de publicación:** 16

**Revista dentro del 25%:** Si

**Num. revistas en cat.:** 135

**Fuente de impacto:** SCOPUS (SJR)

**Índice de impacto:** 0.794

**Categoría:** Applied Mathematics

**Fuente de impacto:** SCOPUS (CITESCORE)

**Índice de impacto:** 7.500

**Posición de publicación:** 38

**Categoría:** Applied Mathematics

**Revista dentro del 25%:** Si

**Num. revistas en cat.:** 635

**Fuente de impacto:** SCOPUS (CITESCORE)  
**Índice de impacto:** 7.500  
**Posición de publicación:** 86

**Categoría:** Genetics  
**Revista dentro del 25%:** Si  
**Num. revistas en cat.:** 347

- 7** Langarita, Ruben; Armejach, Adria; Setoain, Javier; Ibanez-Marin, Pablo; Alastruey-Benede, Jesus; Moreto, Miquel. Compressed Sparse FM-Index: Fast Sequence Alignment Using Large K-Steps. IEEE/ACM TRANSACTIONS ON COMPUTATIONAL BIOLOGY AND BIOINFORMATICS. 19 - 1, pp. 355 - 368. 2022. ISSN 1545-5963  
**DOI:** 10.1109/TCBB.2020.3000253  
**Enlace acceso abierto:** [http://webdiis.unizar.es/gaz/biblio/pdfs/2020\\_TCBB\\_accepted.pdf](http://webdiis.unizar.es/gaz/biblio/pdfs/2020_TCBB_accepted.pdf)  
**Tipo de producción:** Artículo científico

**Fuente de impacto:** WOS (JCR)

**Categoría:** Science Edition - COMPUTER SCIENCE, INTERDISCIPLINARY APPLICATIONS

**Índice de impacto:** 4.500

**Posición de publicación:** 39

**Num. revistas en cat.:** 110

**Fuente de impacto:** WOS (JCR)

**Categoría:** Science Edition - MATHEMATICS, INTERDISCIPLINARY APPLICATIONS

**Índice de impacto:** 4.500

**Posición de publicación:** 12

**Revista dentro del 25%:** Si

**Num. revistas en cat.:** 107

**Fuente de impacto:** SCOPUS (SJR)

**Categoría:** Applied Mathematics

**Índice de impacto:** 0.794

**Fuente de impacto:** SCOPUS (CITESCORE)

**Categoría:** Mathematics (miscellaneous)

**Índice de impacto:** 7.500

**Posición de publicación:** 102

**Revista dentro del 25%:** Si

**Num. revistas en cat.:** 1.724

- 8** Díaz, J.; Ibáñez, P.; Monreal, T.; Viñals, V.; Llaberia, J.M. Near-optimal replacement policies for shared caches in multicore processors. JOURNAL OF SUPERCOMPUTING. 77, pp. 11756–11785. 2021. ISSN 0920-8542  
**DOI:** 10.1007/s11227-021-03736-1  
**Enlace acceso abierto:** [https://link.springer.com/epdf/10.1007/s11227-021-03736-1?sharing\\_token=7xBy7CIEITPyVzfaPoteU\\_e4RwIQNchNBiy7wbcMAY6FcyuRYsmxfhV5VEqUp883sdUylmW8In2hNrqlF3e5b0-wqJdLi2-WUbbAMWbkbGajnpGUmXO3Z6UrO3cz1I9ySE2dFC3\\_INVeGaO0EXOehqF6FCTi1M9XAAVOr1KyU38%3D](https://link.springer.com/epdf/10.1007/s11227-021-03736-1?sharing_token=7xBy7CIEITPyVzfaPoteU_e4RwIQNchNBiy7wbcMAY6FcyuRYsmxfhV5VEqUp883sdUylmW8In2hNrqlF3e5b0-wqJdLi2-WUbbAMWbkbGajnpGUmXO3Z6UrO3cz1I9ySE2dFC3_INVeGaO0EXOehqF6FCTi1M9XAAVOr1KyU38%3D)  
**Tipo de producción:** Artículo científico

**Fuente de impacto:** WOS (JCR)

**Categoría:** Science Edition - COMPUTER SCIENCE, HARDWARE & ARCHITECTURE

**Fuente de impacto:** WOS (JCR)

**Categoría:** Science Edition - COMPUTER SCIENCE, THEORY & METHODS

**Índice de impacto:** 2.557

**Posición de publicación:** 43

**Num. revistas en cat.:** 110

**Fuente de impacto:** SCOPUS (SJR)

**Categoría:** Hardware and Architecture

**Índice de impacto:** 0.727

**Fuente de impacto:** SCOPUS (CITESCORE)

**Categoría:** Computer Science (miscellaneous)

**Índice de impacto:** 4.800

**Posición de publicación:** 534

**Num. revistas en cat.:** 1.812

**Fuente de impacto:** SCOPUS (CITESCORE)

**Categoría:** Mathematics (miscellaneous)

**Índice de impacto:** 4.800  
**Posición de publicación:** 209

**Revista dentro del 25%:** Si  
**Num. revistas en cat.:** 1.676

- 9** Herruzo, J.M.; Gonzalez Navarro, S.; Ibañez, P.; Viñals Yufera, V.; Alastruey, J.; Plata, O. Accelerating Sequence Alignments Based on FM-Index Using the Intel KNL Processor. IEEE/ACM TRANSACTIONS ON COMPUTATIONAL BIOLOGY AND BIOINFORMATICS. 17 - 4, pp. 1093 - 1104. 2020. ISSN 1545-5963

**DOI:** 10.1109/TCBB.2018.2884701

**Enlace acceso abierto:** [http://webdiis.unizar.es/gaz/biblio/pdfs/2019\\_TCBB.pdf](http://webdiis.unizar.es/gaz/biblio/pdfs/2019_TCBB.pdf)

**Tipo de producción:** Artículo científico

**Fuente de impacto:** WOS (JCR)

**Categoría:** Science Edition - COMPUTER SCIENCE, INTERDISCIPLINARY APPLICATIONS

**Índice de impacto:** 3.710

**Posición de publicación:** 46

**Num. revistas en cat.:** 111

**Fuente de impacto:** WOS (JCR)

**Categoría:** Science Edition - MATHEMATICS, INTERDISCIPLINARY APPLICATIONS

**Índice de impacto:** 3.710

**Posición de publicación:** 18

**Revista dentro del 25%:** Si

**Num. revistas en cat.:** 108

**Fuente de impacto:** SCOPUS (SJR)

**Categoría:** Applied Mathematics

**Índice de impacto:** 0.745

- 10** Ferrerón, A.; Alastruey-Benedé, J.; Suárez Gracia, D.; Monreal Arnal, T.; Ibañez Marín, P.; Viñals Yúfera, V. A fault-tolerant last level cache for CMPs operating at ultra-low voltage. JOURNAL OF PARALLEL AND DISTRIBUTED COMPUTING. 125, pp. 31 - 44. 2019. ISSN 0743-7315

**DOI:** 10.1016/j.jpdc.2018.10.010

**Enlace acceso abierto:** [http://webdiis.unizar.es/gaz/biblio/pdfs/2019\\_JPDC\\_Fault\\_Tolerant\\_LLC.pdf](http://webdiis.unizar.es/gaz/biblio/pdfs/2019_JPDC_Fault_Tolerant_LLC.pdf)

**Tipo de producción:** Artículo científico

**Fuente de impacto:** WOS (JCR)

**Categoría:** Science Edition - COMPUTER SCIENCE, THEORY & METHODS

**Índice de impacto:** 2.296

**Posición de publicación:** 35

**Num. revistas en cat.:** 108

**Fuente de impacto:** SCOPUS (SJR)

**Categoría:** Hardware and Architecture

**Índice de impacto:** 0.525

- 11** Navarro-Torres, Agustín; Alastruey-Benedé, Jesús; Ibañez-Marín, Pablo; Viñals-Yúfera, Víctor. Memory hierarchy characterization of SPEC CPU2006 and SPEC CPU2017 on the Intel Xeon Skylake-SP. PLOS ONE. 14 - 8, pp. e0220135 [24 pp.]. 2019. ISSN 1932-6203

**DOI:** 10.1371/journal.pone.0220135

**Enlace acceso abierto:** <https://journals.plos.org/plosone/article?id=10.1371/journal.pone.0220135>

**Tipo de producción:** Artículo científico

Caracterización incorporada parcialmente en la 7ª edición del "Computer Architecture: A Quantitative Approach" de Hennessy, Patterson y Kozyrakis

**Fuente de impacto:** WOS (JCR)

**Categoría:** Science Edition - MULTIDISCIPLINARY SCIENCES

**Índice de impacto:** 2.740

**Posición de publicación:** 26

**Num. revistas en cat.:** 70

**Fuente de impacto:** SCOPUS (SJR)

**Categoría:** Multidisciplinary

**Índice de impacto:** 1.023

**Revista dentro del 25%:** Si

- 12** Díaz, J.; Monreal, T.; Ibáñez, P.; Llabería, J.M.; Viñals, V. ReD: A reuse detector for content selection in exclusive shared last-level caches. JOURNAL OF PARALLEL AND DISTRIBUTED COMPUTING. 125, pp. 106 - 120. 2019. ISSN 0743-7315  
**DOI:** 10.1016/j.jpdc.2018.11.005  
**Enlace acceso abierto:** [https://upcommons.upc.edu/bitstream/handle/2117/127599/YJPDC3\\_976-draft.pdf?sequence=4&isAllowed=y](https://upcommons.upc.edu/bitstream/handle/2117/127599/YJPDC3_976-draft.pdf?sequence=4&isAllowed=y)  
**Tipo de producción:** Artículo científico  
**Fuente de impacto:** WOS (JCR)  
**Índice de impacto:** 2.296  
**Posición de publicación:** 35  
**Fuente de impacto:** SCOPUS (SJR)  
**Índice de impacto:** 0.525  
**Categoría:** Science Edition - COMPUTER SCIENCE, THEORY & METHODS  
**Num. revistas en cat.:** 108  
**Categoría:** Hardware and Architecture
- 13** Rodríguez-Rodríguez, Roberto; Díaz, Javier; Castro, Fernando; Ibáñez, Pablo; Chaver, Daniel; Viñals, Víctor; Sáez, Juan Carlos; Prieto, Manuel; Piñuel, Luis; Monreal, Teresa; Llabería, José María. Reuse Detector: Improving the management of STT-RAM SLLCs. COMPUTER JOURNAL. 61 - 6, pp. 856 – 880. 2017. ISSN 0010-4620  
**DOI:** 10.1093/comjnl/bxx099  
**Enlace acceso abierto:** [https://zaguan.unizar.es/record/84317/files/texto\\_completo.pdf](https://zaguan.unizar.es/record/84317/files/texto_completo.pdf)  
**Tipo de producción:** Artículo científico  
**Fuente de impacto:** WOS (JCR)  
**Índice de impacto:** 0.792  
**Posición de publicación:** 47  
**Fuente de impacto:** WOS (JCR)  
**Índice de impacto:** 0.792  
**Posición de publicación:** 75  
**Fuente de impacto:** SCOPUS (SJR)  
**Índice de impacto:** 0.319  
**Categoría:** Science Edition - COMPUTER SCIENCE, HARDWARE & ARCHITECTURE  
**Num. revistas en cat.:** 52  
**Categoría:** Science Edition - COMPUTER SCIENCE, THEORY & METHODS  
**Num. revistas en cat.:** 103  
**Categoría:** Computer Science (miscellaneous)
- 14** Ferreron, A.; Suarez-Gracia, D.; Alastruey-Benede, J.; Monreal-Arnal, T.; Ibáñez, P. Concertina: Squeezing in cache content to operate at near-threshold voltage. IEEE TRANSACTIONS ON COMPUTERS. 65 - 3, pp. 755 - 769. 2016. ISSN 0018-9340  
**DOI:** 10.1109/TC.2015.2479585  
**Enlace acceso abierto:** [http://webdiis.unizar.es/gaz/biblio/pdfs/2016\\_TC\\_Concertina.pdf](http://webdiis.unizar.es/gaz/biblio/pdfs/2016_TC_Concertina.pdf)  
**Tipo de producción:** Artículo científico  
**Fuente de impacto:** WOS (JCR)  
**Índice de impacto:** 2.916  
**Posición de publicación:** 10  
**Fuente de impacto:** SCOPUS (SJR)  
**Índice de impacto:** 0.700  
**Categoría:** Science Edition - COMPUTER SCIENCE, HARDWARE & ARCHITECTURE  
**Revista dentro del 25%:** Si  
**Num. revistas en cat.:** 52  
**Categoría:** Hardware and Architecture  
**Revista dentro del 25%:** Si
- 15** Albericio, J.; Ibanez, P.; Vinals, V.; Llabería, J. M. Exploiting reuse locality on inclusive shared last-level caches. ACM TRANSACTIONS ON ARCHITECTURE AND CODE OPTIMIZATION. 9 - 4, pp. -. 2013. ISSN 1544-3566



**DOI:** 10.1145/2400682.2400697

**Enlace acceso abierto:** <https://dl.acm.org/doi/10.1145/2400682.2400697>

**Tipo de producción:** Artículo científico

**Fuente de impacto:** WOS (JCR)

**Categoría:** Science Edition - COMPUTER SCIENCE, HARDWARE & ARCHITECTURE

**Índice de impacto:** 0.597

**Posición de publicación:** 36

**Num. revistas en cat.:** 49

**Fuente de impacto:** WOS (JCR)

**Categoría:** Science Edition - COMPUTER SCIENCE, THEORY & METHODS

**Índice de impacto:** 0.597

**Posición de publicación:** 70

**Num. revistas en cat.:** 102

- 16** Garcia-Risueño,P.; Ibáñez,P. E. A review of high performance computing foundations for scientists. INTERNATIONAL JOURNAL OF MODERN PHYSICS C. 23 - 7, pp. [33 p]. 2012. ISSN 0129-1831

**DOI:** 10.1142/S0129183112300011

**Enlace acceso abierto:** <https://arxiv.org/abs/1205.5177>

**Tipo de producción:** Artículo científico

**Fuente de impacto:** WOS (JCR)

**Categoría:** Science Edition - COMPUTER SCIENCE, INTERDISCIPLINARY APPLICATIONS

**Índice de impacto:** 0.615

**Posición de publicación:** 82

**Num. revistas en cat.:** 100

- 17** Albericio,J.; Gran,R.; Ibáñez,P.; Viñals,V.; Llabería,J. M. ABS: A low-cost adaptive controller for prefetching in a banked shared last-level cache. ACM TRANSACTIONS ON ARCHITECTURE AND CODE OPTIMIZATION. 8 - 4, pp. 19 [20 pp.]. 2012. ISSN 1544-3566

**DOI:** 10.1145/2086696.2086698

**Enlace acceso abierto:** <https://dl.acm.org/doi/10.1145/2086696.2086698>

**Tipo de producción:** Artículo científico

**Fuente de impacto:** WOS (JCR)

**Categoría:** Science Edition - COMPUTER SCIENCE, HARDWARE & ARCHITECTURE

**Índice de impacto:** 0.684

**Posición de publicación:** 36

**Num. revistas en cat.:** 50

**Fuente de impacto:** WOS (JCR)

**Categoría:** Science Edition - COMPUTER SCIENCE, THEORY & METHODS

**Índice de impacto:** 0.684

**Posición de publicación:** 64

**Num. revistas en cat.:** 100

- 18** Sahelices,B.; de Dios,A.; Ibáñez,P.; Viñals-Yúfera,V.; Llabería,J. M. Efficient handling of lock hand-off in DSM multiprocessors with buffering coherence controllers. JOURNAL OF COMPUTER SCIENCE AND TECHNOLOGY. 27 - 1, pp. 75 - 91. 2012. ISSN 1000-9000

**DOI:** 10.1007/s11390-012-1207-2

**Enlace acceso abierto:** <https://link.springer.com/article/10.1007/s11390-012-1207-2>

**Tipo de producción:** Artículo científico

**Fuente de impacto:** WOS (JCR)

**Categoría:** Science Edition - COMPUTER SCIENCE, HARDWARE & ARCHITECTURE

**Índice de impacto:** 0.477

**Posición de publicación:** 42

**Num. revistas en cat.:** 50



- 19** Bosque, A.; Viñals, V.; Ibáñez, P.; Llabería, J.M. Filtering directory lookups in CMPs. MICROPROCESSORS AND MICROSYSTEMS. 35 - 8, pp. 695 - 707. 2011. ISSN 0141-9331

**DOI:** 10.1016/j.micpro.2011.08.006

**Enlace acceso abierto:** <https://www.sciencedirect.com/science/article/pii/S0141933111000962>

**Tipo de producción:** Artículo científico

**Fuente de impacto:** WOS (JCR)

**Categoría:** Science Edition - COMPUTER SCIENCE, HARDWARE & ARCHITECTURE

**Índice de impacto:** 0.575

**Posición de publicación:** 38

**Num. revistas en cat.:** 50

**Fuente de impacto:** WOS (JCR)

**Categoría:** Science Edition - COMPUTER SCIENCE, THEORY & METHODS

**Índice de impacto:** 0.575

**Posición de publicación:** 69

**Num. revistas en cat.:** 99

- 20** Torres, E.; Ibáñez, P.; Viñals-Yufera, V.; Llabería, J.M. Store buffer design for multibanked data caches. IEEE TRANSACTIONS ON COMPUTERS. 58 - 10, pp. 1307 - 1320. 2009. ISSN 0018-9340

**DOI:** 10.1109/TC.2009.57

**Enlace acceso abierto:** <https://ieeexplore.ieee.org/document/4815214>

**Tipo de producción:** Artículo científico

**Fuente de impacto:** WOS (JCR)

**Categoría:** Science Edition - COMPUTER SCIENCE, HARDWARE & ARCHITECTURE

**Índice de impacto:** 1.822

**Posición de publicación:** 12

**Revista dentro del 25%:** Sí

**Num. revistas en cat.:** 48

- 21** Alastruey, J.; Briz, J. L.; Ibáñez, P.; Vinals, V. Software demand, hardware supply. IEEE MICRO. 26-4, pp. 72-82. 2006. ISSN 0272-1732

**Enlace acceso abierto:** <http://webdiis.unizar.es/gaz/biblio/pdfs/Alastruey2006a.pdf>

**Tipo de producción:** Artículo científico

**Fuente de impacto:** WOS (JCR)

**Categoría:** Science Edition - COMPUTER SCIENCE, HARDWARE & ARCHITECTURE

**Índice de impacto:** 0.958

**Posición de publicación:** 16

**Num. revistas en cat.:** 44

## D.1.2 Publicaciones, documentos científicos y técnicos: revistas no indexadas

- 1** Briz Velasco, José Luis; Ramos, Luis M.; Ibáñez, Pablo E.; Viñals, Víctor. Multi-level Adaptive Prefetching based on Performance Gradient Tracking. THE JOURNAL OF INSTRUCTION-LEVEL PARALLELISM. 13, pp. [14 pp.]. 2011. ISSN 1942-9525

**Tipo de producción:** Artículo científico

- 2** Ramos, Luis M.; Briz, José Luis; Ibáñez, Pablo E.; Viñals, Víctor. Data prefetching in a cache hierarchy with high bandwidth and capacity. ACM SIGARCH COMPUTER ARCHITECTURE NEWS. 35 - 4, pp. 37 - 44. 2007. ISSN 0163-5964

**DOI:** 10.1145/1327312.1327319

**Tipo de producción:** Artículo científico

### D.1.3 Trabajos presentados en congresos internacionales indexados en GGS

**1 Título del trabajo:** MNEMOSENE: A Scalable Multi-Tile Design and Enhanced Buffering for Efficient Compute-in-Memory Operations

**Autores:** Carlos Escuin, Fernando García-Redondo, Mahdi Zahedi, Pablo Ibáñez, Teresa Monreal, Víctor Viñals, José María Llabería, James Myers, Julien Ryckaert, Dwaipayan Biswas, and Francky Catthoor.

**Nombre del congreso:** 2023 30th IEEE International Conference on Electronics, Circuits and Systems (ICECS)

**Ámbito geográfico:** Internacional no UE

**Tipo de participación:** Participativo - Ponencia oral (comunicación oral)

**Ciudad de celebración:** Istanbul, Turquía

**Fecha de celebración:** 04/12/2023

**Publicación en acta congreso:** Si

**En:** 2023 30th IEEE International Conference on Electronics, Circuits and Systems (ICECS) Proceedings. pp. 1 - 5. 2023. ISBN 979-8-3503-2649-9

**Clasificación GGS:** B- (class 3)

**Enlace:** <https://ieeexplore.ieee.org/document/10382874>

**2 Título del trabajo:** Compression-Aware and Performance-Efficient Insertion Policies for Long-Lasting Hybrid LLCs

**Autores:** C. Escuin, A. Khan, P. Ibáñez, T. Monreal, J. Castrillon and V. Viñals-Yúfera

**Nombre del congreso:** High Performance Computer Architecture (HPCA)

**Ámbito geográfico:** Internacional no UE

**Tipo de participación:** Participativo - Ponencia oral (comunicación oral)

**Ciudad de celebración:** Montreal, Canadá

**Fecha de celebración:** 25/02/2023

**Publicación en acta congreso:** Si

**En:** 2023 IEEE International Symposium on High-Performance Computer Architecture (HPCA). pp. 179 - 192. 2023. ISBN 2378-203X

**Clasificación GGS:** A+ (class 1)

**Enlace acceso abierto:** <https://www.dropbox.com/scl/fi/cnot8m2d6gbnspsifnd1f/hpca2023-publicada.pdf?rlkey=ppttk9br5jmxwnckamonjd3ax&e=1&dl=0>

**3 Título del trabajo:** Berti: an Accurate Local-Delta Data Prefetcher

**Autores:** Agustin Navarro-Torres, Biswabandan Panda, J. Alastruey-Benedé, Pablo Ibáñez, Víctor Viñals-Yúfera, and Alberto Ros

**Nombre del congreso:** 2022 55th IEEE/ACM International Symposium on Microarchitecture (MICRO)

**Ámbito geográfico:** Internacional no UE

**Tipo de participación:** Participativo - Ponencia oral (comunicación oral)

**Ciudad de celebración:** Chicago, Illinois, Estados Unidos de América

**Fecha de celebración:** 01/10/2022

**Publicación en acta congreso:** Si

**En:** 2022 55th Annual IEEE/ACM International Symposium on Microarchitecture. Proceedings. pp. 975 - 991. 2022. ISBN 978-1-6654-6272-3

**Clasificación GGS:** A (class 2)

**Enlace acceso abierto:** [http://webdiis.unizar.es/~chus/pubs/2022\\_MICRO.pdf](http://webdiis.unizar.es/~chus/pubs/2022_MICRO.pdf)

**4 Título del trabajo:** Boosting Backward Search Throughput for FM-Index Using a Compressed Encoding

**Autores:** José Manuel Herruzo, Sonia González, Pablo Ibáñez, Víctor Viñals, Jesús Alastruey-Benedé, and Óscar Plata

**Nombre del congreso:** 2019 Data Compression Conference (DCC)





**Ámbito geográfico:** Internacional no UE

**Tipo de participación:** Participativo - Ponencia oral (comunicación oral)

**Ciudad de celebración:** Snowbird, Utah, Estados Unidos de América

**Fecha de celebración:** 26/03/2019

**Publicación en acta congreso:** Si

**En:** Proceedings DCC 2019 Data Compression Conference. pp. 577 - 577. 2019.

**Clasificación GGS:** B (class 3)

**Enlace acceso abierto:** [http://webdiis.unizar.es/gaz/biblio/pdfs/2019\\_DCC.pdf](http://webdiis.unizar.es/gaz/biblio/pdfs/2019_DCC.pdf)

**5 Título del trabajo:** The Reuse Cache: Downsizing the Shared Last-Level Cache

**Autores:** J. Albericio, P. Ibáñez, V. Viñals, and J.M. Llabería

**Nombre del congreso:** Annual IEEE/ACM International Symposium on Microarchitecture (MICRO)

**Ámbito geográfico:** Internacional no UE

**Tipo de participación:** Participativo - Ponencia oral (comunicación oral)

**Ciudad de celebración:** Davis, California, Estados Unidos de América

**Fecha de celebración:** 07/12/2013

**Publicación en acta congreso:** Si

**En:** Proceedings of the 46th Annual IEEE/ACM International Symposium on Microarchitecture. pp. 310 - 321. 2013. ISBN 978-1-4503-2638-4

**Clasificación GGS:** A+ (class 1)

**Enlace:** <https://ieeexplore.ieee.org/document/7847635>

**6 Título del trabajo:** Filtering directory lookups in CMPs with write-through caches

**Autores:** A. Bosque, P. Ibáñez, V. Viñals y J. M. Llabería

**Nombre del congreso:** International European Conference on Parallel and Distributed Computing

**Ámbito geográfico:** Unión Europea

**Tipo de participación:** Participativo - Ponencia oral (comunicación oral)

**Ciudad de celebración:** Bordeaux, Francia

**Fecha de celebración:** 29/08/2011

**Forma de contribución:** Artículo científico

**En:** Lecture Notes in Computer Science. 6852 LNCS, pp. 269 - 281. 2011. ISBN 0302-9743

**DOI:** 10.1007/978-3-642-23400-2\_26

**Clasificación GGS:** A- (class 2)

**Enlace acceso abierto:** <https://dl.acm.org/doi/10.5555/2033345.2033375>

**7 Título del trabajo:** A methodology to characterize critical section bottlenecks in DSM multiprocessors

**Autores:** B. Sahelices, P. Ibáñez, V. Viñals y J.M. Llabería

**Nombre del congreso:** Euro-Par Parallel Processing

**Ámbito geográfico:** Unión Europea

**Tipo de participación:** Participativo - Ponencia oral (comunicación oral)

**Ciudad de celebración:** Delft, Holanda

**Fecha de celebración:** 25/08/2009

**Forma de contribución:** Artículo científico

**En:** Lecture Notes in Computer Science. 5704, pp. 149 - 161. 2009. ISBN 0302-9743

**DOI:** 10.1007/978-3-642-03869-3\_17

**Clasificación GGS:** A- (class 2)

**Enlace acceso abierto:** [https://dl.acm.org/doi/10.1007/978-3-642-03869-3\\_17](https://dl.acm.org/doi/10.1007/978-3-642-03869-3_17)

**8 Título del trabajo:** Low-cost Adaptive Hardware Prefetching

**Autores:** L.M. Ramos, J.L. Briz, P. Ibáñez, and V. Viñals

**Nombre del congreso:** Euro-Par 2008 Parallel Processing

**Ámbito geográfico:** Unión Europea



**Tipo de participación:** Participativo - Ponencia oral (comunicación oral)

**Ciudad de celebración:** Las Palmas de Gran Canaria, España

**Fecha de celebración:** 26/08/2008

**Forma de contribución:** Artículo científico

**En:** Lecture Notes in Computer Science. 5168, pp. 327 - 336. 2008. ISBN 0302-9743

**Clasificación GGS:** A- (class 2)

**Enlace acceso abierto:** [https://dl.acm.org/doi/10.1007/978-3-540-85451-7\\_36](https://dl.acm.org/doi/10.1007/978-3-540-85451-7_36)

**9 Título del trabajo:** Speeding-up Synchronizations in DSM Multiprocessors

**Autores:** B. Sahelices, A. de Dios, P. Ibáñez, V. Viñals y J.M. Llabería

**Nombre del congreso:** Euro-Par 2006 Parallel Processing: 12th International Euro-Par Conference

**Ámbito geográfico:** Unión Europea

**Tipo de participación:** Participativo - Ponencia oral (comunicación oral)

**Ciudad de celebración:** Dresden, Alemania

**Fecha de celebración:** 29/08/2006

**Forma de contribución:** Artículo científico

**En:** Lecture Notes in Computer Science. 4128, pp. 473 - 484. 2006. ISBN 0302-9743

**Clasificación GGS:** A- (class 2)

**Enlace acceso abierto:** [https://link.springer.com/chapter/10.1007/11823285\\_49](https://link.springer.com/chapter/10.1007/11823285_49)

**10 Título del trabajo:** Store Buffer Design in First-Level Multibanked Data Caches

**Autores:** E. Torres, P. Ibáñez, V. Viñals, and J.M. Llabería

**Nombre del congreso:** 32nd International Symposium on Computer Architecture. (ISCA '05)

**Ámbito geográfico:** Internacional no UE

**Tipo de participación:** Participativo - Ponencia oral (comunicación oral)

**Ciudad de celebración:** Madison, Wisconsin, Estados Unidos de América

**Fecha de celebración:** 04/06/2005

**Publicación en acta congreso:** Si

**En:** ACM SIGARCH Computer Architecture News. 33, pp. 469 - 480. 2005. ISBN ISSN:0163-5964, ISBN 0-7695-2270-X/05

**Clasificación GGS:** A++ (class 1)

**Enlace:** <https://ieeexplore.ieee.org/document/1431579>

**11 Título del trabajo:** Contents Management in First-Level Multibanked Data Caches

**Autores:** E.F. Torres, P. Ibáñez, V. Vinals, and J.M. Llaberia

**Nombre del congreso:** Euro-Par 2004 Parallel Processing: 10th International Euro-Par Conference

**Ámbito geográfico:** Unión Europea

**Tipo de participación:** Participativo - Ponencia oral (comunicación oral)

**Ciudad de celebración:** Pisa, Italia

**Fecha de celebración:** 31/08/2004

**Forma de contribución:** Artículo científico

**En:** Lecture Notes in Computer Science. 3149, pp. 516 - 524. 2004. ISBN 0302-9743

**Clasificación GGS:** A- (class 2)

**Enlace acceso abierto:** [https://link.springer.com/chapter/10.1007/978-3-540-27866-5\\_68](https://link.springer.com/chapter/10.1007/978-3-540-27866-5_68)

**12 Título del trabajo:** Counteracting Bank Misprediction in Sliced First-Level Caches

**Autores:** E.F. Torres, P. Ibáñez, V. Viñals and J. M. Llabería.

**Nombre del congreso:** Euro-Par 2003 Parallel Processing

**Ámbito geográfico:** Unión Europea

**Tipo de participación:** Participativo - Ponencia oral (comunicación oral)

**Ciudad de celebración:** Austria



**Fecha de celebración:** 30/08/2003

**Forma de contribución:** Artículo científico

**En:** Lecture Notes in Computer Science. 2790, pp. 586 - 596. 2003. ISBN 0302-9743

**Clasificación GGS:** A- (class 2)

**Enlace acceso abierto:** [https://link.springer.com/chapter/10.1007/978-3-540-45209-6\\_83](https://link.springer.com/chapter/10.1007/978-3-540-45209-6_83)

**13 Título del trabajo:** Hardware Prefetching in Bus-Based Multiprocessors: Pattern Characterization and Cost-Effective Hardware

**Autores:** M. J. Garzarán, J. L. Briz, P. Ibáñez and V. Viñals.

**Nombre del congreso:** Ninth Euromicro Workshop on Parallel and Distributed Processing

**Ámbito geográfico:** Unión Europea

**Tipo de participación:** Participativo - Ponencia oral (comunicación oral)

**Ciudad de celebración:** Mantova, Italia

**Fecha de celebración:** 07/02/2001

**Publicación en acta congreso:** Si

**En:** Proceedings Ninth Euromicro Workshop on Parallel and Distributed Processing. IEEE Computer Society Press. pp. 345 - 354. 2001. ISBN 0769509878

**Clasificación GGS:** B- (class 3)

**Enlace:** <https://ieeexplore.ieee.org/document/905061>

**14 Título del trabajo:** Modelling Load Address Behaviour Trough Recurrences

**Autores:** L. Ramos, P. Ibáñez, V. Viñals and J.M. Llabería.

**Nombre del congreso:** 2000 IEEE International Symposium on Performance Analysis of Systems and Software (ISPASS)

**Ámbito geográfico:** Internacional no UE

**Tipo de participación:** Participativo - Ponencia oral (comunicación oral)

**Ciudad de celebración:** Austin, Texas, Estados Unidos de América

**Fecha de celebración:** 24/04/2000

**Publicación en acta congreso:** Si

**En:** proceedings 2000 IEEE International Symposium on Performance Analysis of Systems and Software, IEEE Computer Society Press. pp. 101 - 108. 2000. ISBN 0-7803-6418-X

**Clasificación GGS:** B- (class 3)

**Enlace acceso abierto:** <https://ieeexplore.ieee.org/document/842288>

**15 Título del trabajo:** Characterization and improvement of Load/Store Cache-based prefetching

**Autores:** P. Ibáñez, V. Viñals, J.L. Briz y M.J. Garzarán

**Nombre del congreso:** 12th ACM International Conference on Supercomputing (ICS'98)

**Ámbito geográfico:** Internacional no UE

**Tipo de participación:** Participativo - Ponencia oral (comunicación oral)

**Ciudad de celebración:** Melbourne, Australia

**Fecha de celebración:** 13/07/1998

**Publicación en acta congreso:** Si

**En:** proceedings 12th ACM International Conference on Supercomputing (ICS'98), ACM Press. pp. 369 - 376. 1998. ISBN 0-89791-998-X

**Clasificación GGS:** A (class 2)

**Enlace:** <https://dl.acm.org/doi/10.1145/277830.277921>

**16 Título del trabajo:** Performance Assessment of Contents Management in Multilevel On-Chip Caches

**Autores:** P. Ibáñez and V. Viñals.

**Nombre del congreso:** 22nd Euromicro Conference

**Ámbito geográfico:** Unión Europea

**Tipo de participación:** Participativo - Ponencia oral (comunicación oral)



**Ciudad de celebración:** Prague, República Checa

**Fecha de celebración:** 02/09/1996

**Publicación en acta congreso:** Si

**En:** 22nd Euromicro Conference. pp. 431 - 440. 1996. ISBN 0-8186-7487-3

**Clasificación GGS:** B- (class 3)

**Enlace:** <https://ieeexplore.ieee.org/document/546467>

**17 Título del trabajo:** Warm Time Sampling: Fast and Accurate Cycle-Level Simulation of Cache Memory

**Autores:** L. Jimeno, P. Ibáñez and V. Viñals

**Nombre del congreso:** 22nd Euromicro Conference

**Ámbito geográfico:** Unión Europea

**Tipo de participación:** Participativo - Ponencia oral (comunicación oral)

**Ciudad de celebración:** Prague, República Checa

**Fecha de celebración:** 02/09/1996

**Publicación en acta congreso:** Si

**En:** Proceedings 22nd Euromicro Conference. Short Contributions. pp. 39- 44. 1996. ISBN 0-8186-7703-1

**Clasificación GGS:** B- (class 3)

**Enlace acceso abierto:** [http://webdiis.unizar.es/gaz/biblio/pdfs/1996\\_Jimeno.pdf](http://webdiis.unizar.es/gaz/biblio/pdfs/1996_Jimeno.pdf)

**D.1.4 Trabajos presentados en congresos internacionales no indexados o wip en GGS**

**1 Título del trabajo:** RISC-V for Genome Data Analysis: Opportunities and Challenges

**Autores:** Lorién López-Villellas, Esteve Pineda-Sánchez, Asaf Badouh, Santiago Marco-Sola, Pablo Ibáñez, Jesús Alastruey-Benedé and Miquel Moretó

**Nombre del congreso:** DCIS 2023: 38TH CONFERENCE ON DESIGN OF CIRCUITS AND INTEGRATED SYSTEMS

**Ámbito geográfico:** Unión Europea

**Tipo de participación:** Participativo - Ponencia oral (comunicación oral)

**Ciudad de celebración:** Málaga, España

**Fecha de celebración:** 15/11/2023

**Publicación en acta congreso:** Si

**En:** Proceedings 2023 38th Conference on Design of Circuits and Integrated Systems (DCIS). pp. null. 2023. ISBN 2640-5563 / 979-8-3503-0385-8

**Enlace acceso abierto:** [http://webdiis.unizar.es/~chus/pubs/2023\\_DCIS\\_accepted.pdf](http://webdiis.unizar.es/~chus/pubs/2023_DCIS_accepted.pdf)

**2 Título del trabajo:** Forecasting Performance of Novel Compression-aware and NVM-based Last-Level Caches

**Autores:** C. Escuin, P. Ibáñez, V. Viñals, T. Monreal

**Nombre del congreso:** 14th Non-Volatile Memories Workshop (NVMW'23)

**Ámbito geográfico:** Internacional no UE

**Tipo de participación:** Participativo - Ponencia oral (comunicación oral)

**Ciudad de celebración:** San Diego, Estados Unidos de América

**Fecha de celebración:** 13/03/2023 Ibáñez Marín, Pablo Enrique.

**Enlace acceso abierto:** [http://nvmw.ucsd.edu/nvmw2023-program/nvmw2023-paper8-final\\_version\\_your\\_extended\\_abstract.pdf](http://nvmw.ucsd.edu/nvmw2023-program/nvmw2023-paper8-final_version_your_extended_abstract.pdf)

**3 Título del trabajo:** HyCSim: A rapid design space exploration tool for emerging hybrid last-level caches

**Autores:** C. Escuin, A.A. Khan, P. Ibáñez, T. Monreal, V. Viñals and J. Castrillon

**Nombre del congreso:** RAPIDO: Rapid Simulation and Performance Evaluation: Methods and Tools

**Ámbito geográfico:** Unión Europea

**Tipo de participación:** Participativo - Ponencia oral (comunicación oral)

**Ciudad de celebración:** Budapest, Hungría

**Fecha de celebración:** 17/01/2022

**Publicación en acta congreso:** Si

**En:** Proceedings of System Engineering for constrained embedded systems. pp. 53 - 58. 2022. ISBN 978-1-4503-9566-3

**Enlace:** <https://dl.acm.org/doi/abs/10.1145/3522784.3522801>

**4 Título del trabajo:** Synchronization Strategies on Many-Core SMT Systems

**Autores:** A. Navarro-Torres, M. Carpen-Amarie, J. Alastruey-Benedé and P. Ibáñez-Marín

**Nombre del congreso:** 2021 IEEE 33rd International Symposium on Computer Architecture and High Performance Computing (SBAC-PAD)

**Ámbito geográfico:** Internacional no UE

**Tipo de participación:** Participativo - Ponencia oral (comunicación oral)

**Ciudad de celebración:** Belo Horizonte,

Brasil **Fecha de celebración:** 26/10/2021

**Publicación en acta congreso:** Si

**En:** SBAC-PAD Proceedings. pp. 54 - 63. 2021. ISBN 2643-3001 / 978-1-6654-4301-2

**Enlace acceso abierto:** [http://webdiis.unizar.es/~chus/pubs/2021\\_SBAC-PAD.pdf](http://webdiis.unizar.es/~chus/pubs/2021_SBAC-PAD.pdf)

**5 Título del trabajo:** Exact Alignment with FM-index on the Intel Xeon Phi Knights Landing Processor

**Autores:** Jose M. Herruzo, Sonia Gonzalez-Navarro, Pablo Ibáñez, Victor Viñals, Jesús Alastruey-Benedé, and Oscar Plata

**Nombre del congreso:** Workshop on Accelerator Architecture in Computational Biology and Bioinformatics

**Ámbito geográfico:** Internacional no UE

**Tipo de participación:** Participativo - Ponencia oral (comunicación oral)

**Ciudad de celebración:** Vienna, Austria

**Fecha de celebración:** 24/02/2018

**Publicación en acta congreso:** Si

**Enlace acceso abierto:** [http://webdiis.unizar.es/gaz/biblio/pdfs/2018\\_AACBB\\_FM\\_Index\\_paper.pdf](http://webdiis.unizar.es/gaz/biblio/pdfs/2018_AACBB_FM_Index_paper.pdf)

**6 Título del trabajo:** ReD: A Policy Based on Reuse Detection for Demanding Block Selection in Last-Level Caches

**Autores:** J. Díaz, P. Ibáñez, T. Monreal, V. Viñals and J. M. Llabería

**Nombre del congreso:** The 2nd Cache Replacement Championship (CRC-2)

**Ámbito geográfico:** Internacional no UE

**Tipo de participación:** Participativo - Ponencia oral (comunicación oral)

**Ciudad de celebración:** Toronto, Canadá

**Fecha de celebración:** 24/06/2017

Díaz, J.; Ibáñez Marín, Pablo Enrique; Monreal, T.; Viñals, V.; J. M. Llabería.

**Enlace acceso abierto:**

<https://www.dropbox.com/scl/fi/fk3tj7kgx02lvi7z0ebqp/ReD.pdf?rlkey=5dy5gs2rr7jsgx71nqkwfcp30&dl=1>

**7 Título del trabajo:** Accelerating sparse arithmetic in the context of newton's method for small molecules with bond constraints

**Autores:** C.C.K. Mikkelsen, J. Alastruey-Benedé, P. Ibáñez-Marín and P. García-Risueño

**Nombre del congreso:** International Conference on Parallel Processing and Applied Mathematics (PPAM)

**Ámbito geográfico:** Internacional no UE

**Tipo de participación:** Participativo - Ponencia oral (comunicación oral)

**Ciudad de celebración:** Krakow, Polonia

**Fecha de celebración:** 06/09/2015

**Forma de contribución:** Artículo científico





**En:** Lecture Notes in Computer Science. 9573, pp. 160 - 171. 2016. ISBN 0302-9743

**DOI:** 10.1007/978-3-319-32149-3\_16

**Enlace acceso abierto:** [https://people.cs.umu.se/spock/my\\_papers/accelerating\\_newton.pdf](https://people.cs.umu.se/spock/my_papers/accelerating_newton.pdf)

**8 Título del trabajo:** Filtering Directory Lookups in CMPs

**Autores:** A. Bosque, P. Ibáñez, V. Viñals y J. M. Llabería

**Nombre del congreso:** Euromicro Conference on Digital System Design: Architectures, Methods and Tools

**Ámbito geográfico:** Unión Europea

**Tipo de participación:** Participativo - Ponencia oral (comunicación oral)

**Ciudad de celebración:** Lille, Francia

**Fecha de celebración:** 01/09/2010

**Publicación en acta congreso:** Si

**En:** Proceedings of the 13th Euromicro Conference on Digital System Design: Architectures, Methods and Tools. pp. 207 - 216. 2010. ISBN 978-0-7695-4171-6

**Enlace acceso abierto:** <https://www.sciencedirect.com/science/article/pii/S0141933111000962>

**9 Título del trabajo:** Multi-level Adaptive Prefetching based on Performance Gradient Tracking

**Autores:** L.M. Ramos, J.L. Briz, P. Ibáñez and V. Viñals

**Nombre del congreso:** 1st JILP Data Prefetching Championship

**Ámbito geográfico:** Internacional no UE

**Tipo de participación:** Participativo - Ponencia oral (comunicación oral)

**Ciudad de celebración:** Raleigh, North Carolina, Estados Unidos de América

**Fecha de celebración:** 14/02/2009

**Publicación en acta congreso:** Si

**En:** Proceedings of the 1st JILP Data Prefetching Championship. pp. null. 2009.

**Enlace acceso abierto:** <https://jilp.org/vol13/v13paper5.pdf>

**10 Título del trabajo:** Characterization of Apache web server with Specweb2005

**Autores:** Ana Bosque, Pablo Ibáñez, Víctor Viñals, Per Stenström and Jose M. Llabería

**Nombre del congreso:** 8th MEDEA Workshop on Memory performance: Dealing with Applications, systems and architecture

**Ámbito geográfico:** Internacional no UE

**Tipo de participación:** Participativo - Ponencia oral (comunicación oral)

**Ciudad de celebración:** Brasov, Rumanía

**Fecha de celebración:** 15/09/2007

**Publicación en acta congreso:** Si

**En:** Proceedings 8th MEDEA Workshop on Memory performance: Dealing with Applications, systems and architecture. ACM Press. pp. 73 - 80. 2007. ISBN 978-1-59593-807-7

**Enlace:** <https://dl.acm.org/doi/10.1145/1327171.1327179>

**11 Título del trabajo:** Data prefetching in a cache hierarchy with high bandwidth and capacity

**Autores:** Luis M Ramos, José Luis Briz, Pablo E Ibáñez, Victor Viñals

**Nombre del congreso:** 7th MEDEA Workshop on Memory performance: Dealing with Applications, systems and architecture

**Ámbito geográfico:** Internacional no UE

**Tipo de participación:** Participativo - Ponencia oral (comunicación oral)

**Ciudad de celebración:** Seattle, Estados Unidos de América

**Fecha de celebración:** 15/09/2006

**Publicación en acta congreso:** Si

**En:** Proceedings 7th MEDEA Workshop on Memory performance: Dealing with Applications, systems and architecture. ACM Press. pp. 37 - 44. 2006. ISBN 1-59593-568-1

**Enlace:** <https://dl.acm.org/doi/10.1145/1166133.1166138>

### D.1.5 Trabajos presentados en congresos nacionales

**1 Título del trabajo:** RISC-V for Genome Data Analysis: Opportunities and Challenges

**Autores:** Lorién López-Villellas, Esteve Pineda-Sánchez, Asaf Badouh, Santiago Marco-Sola, Pablo Ibáñez, Jesús Alastruey-Benedé, and Miquel Moretó

**Nombre del congreso:** XXXIII Jornadas de Paralelismo

**Ciudad de celebración:** Ciudad Real, España

**Fecha de celebración:** 20-22 de septiembre 2023

**2 Título del trabajo:** Mejorando Rendimiento y Equidad: Control de Ocupación de Cache Compartida y Tráfico con Memoria Principal

**Autores:** A. Navarro, J. Alastruey, P. Ibáñez y V. Viñals

**Nombre del congreso:** XXXI Jornadas de Paralelismo

**Ciudad de celebración:** Málaga, España

**Fecha de celebración:** 21-24 sept. 2021

**3 Título del trabajo:** Pronóstico de capacidad efectiva y prestaciones en una cache no volátil de último nivel

**Autores:** C. Escuin, T. Monreal, J. M. Llabería, P. Ibáñez y V. Viñals

**Nombre del congreso:** XXXI Jornadas de Paralelismo

**Ciudad de celebración:** Málaga, España

**Fecha de celebración:** 21-24 sept. 2021

**4 Título del trabajo:** Experimentación Preliminar con un Trazador de Rayos para Relacionar Niveles de Abstracción

**Autores:** Valero Bresó, Alejandro; Suárez Gracia, Darío; Gran Tejero, Rubén; Ramos Martínez, Luis Manuel; Navarro Torres, Agustín; Muñoz Orbañanos, Adolfo; Ezpeleta Mateo, Joaquín; Briz Velasco, José Luis; Murillo Arnal, Ana Cristina; Montijano Muñoz, Eduardo; Resano Ezcaray, Jesús Javier; Villarroya Gaudó, María; Alastruey Benedé, Jesús; Torres Moreno, Enrique; Álvarez Pérez-Aradros, Pedro Javier; Ibáñez Marín, Pablo Enrique; Viñals Yúfera, Víctor

**Nombre del congreso:** XXX Jornadas de Paralelismo

**Ciudad de celebración:** Cáceres, España

**Fecha de celebración:** 18/09/2019

**5 Título del trabajo:** Caracterización del rendimiento de la jerarquía de memoria para SPEC CPU2006 y CPU 2017

**Autores:** A. Navarro-Torres, J. Alastruey-Benedé, P. Ibáñez-Marín, V. Viñals-Yúfera

**Nombre del congreso:** XXIX Jornadas de Paralelismo, Integradas en las Jornadas SARTECO

**Ciudad de celebración:** Teruel, España

**Fecha de celebración:** 12-14 sept., 2018

**6 Título del trabajo:** Caracterización del rendimiento de la jerarquía de memoria para SPEC CPU2006 y CPU2017

**Autores:** A. Navarro-Torres, J. Alastruey-Benedé, P. Ibáñez-Marín, V. Viñals-Yúfera

**Nombre del congreso:** XXIX Jornadas de Paralelismo, Integradas en las Jornadas SARTECO

**Ciudad de celebración:** Teruel, España

**Fecha de celebración:** 12-14 sept., 2018

**7 Título del trabajo:** Aceleración de una Aplicación con Acceso Intensivo e Impredecible a los Datos en el Procesador Intel Xeon Phi KNL



**Autores:** J. M. Herruzo Ruiz, S. González-Navarro, P. Ibañez, V. Viñals-Yúfera, J. Alastruey-Benedé, O. Plata  
**Nombre del congreso:** XXIX Jornadas de Paralelismo, Integradas en las Jornadas SARTECO  
**Ciudad de celebración:** Teruel, España  
**Fecha de celebración:** 12-14 sept., 2018

**8 Título del trabajo:** Método Paralelo para la Resolución de Ecuaciones de Ligadura en Moléculas Lineales

**Autores:** R. Langerita, P. Ibáñez, J. Alastruey-Benedé, C. C. Kjelgaard Mikkelsen, P. García-Risueño  
**Nombre del congreso:** XXIX Jornadas de Paralelismo, Integradas en las Jornadas SARTECO  
**Ciudad de celebración:** Teruel, España  
**Fecha de celebración:** 12-14 sept., 2018

**9 Título del trabajo:** Gestión de Contenidos en Caches Operando a Bajo Voltaje

**Autores:** Alexandra Ferrerón, Jesús Alastruey Benedé, Darío Suárez Gracia, Teresa Monreal Arnal, Pablo Ibáñez, Víctor Viñals Yúfera  
**Nombre del congreso:** XXVII Jornadas de Paralelismo, Integradas en las Jornadas SARTECO  
**Ciudad de celebración:** Salamanca, España  
**Fecha de celebración:** 14-16 sept. 2016

**10 Título del trabajo:** Selección de contenidos basada en reuso para caches compartidas en exclusión

**Autores:** J. Díaz, T. Monreal, V. Viñals, P. Ibáñez y J.M. LLabería  
**Nombre del congreso:** XXVI Jornadas de Paralelismo, Integradas en las Jornadas SARTECO  
**Ciudad de celebración:** Córdoba, España  
**Fecha de celebración:** 23-25 sept. 2015

**11 Título del trabajo:** Optimización de Código para Operaciones con Matrices Dispersas de Tamaño Reducido

**Autores:** Carl Christian Kjelgaard Mikkelsen, Jesús Alastruey, Pablo Ibáñez and Pablo García Risueño  
**Nombre del congreso:** XXVI Jornadas de Paralelismo, Integradas en las Jornadas SARTECO  
**Ciudad de celebración:** Córdoba, España  
**Fecha de celebración:** 23-25 sept. 2015

**12 Título del trabajo:** Implementación de un nuevo algoritmo para imponer ligaduras en Dinámica Molecular

**Autores:** M. A. Serrano, C. C. Kjelgaard, J. Alastruey, P. Ibáñez, P. García-Risueño  
**Nombre del congreso:** XXV Jornadas de Paralelismo  
**Ciudad de celebración:** Valladolid, España  
**Fecha de celebración:** septiembre 2014

**13 Título del trabajo:** Aceleración del cambio de propietario de un cerrojo en multiprocesadores DSM

**Autores:** Esther Rodríguez, Benjamín Sahelices, Diego R. Llanos, Pablo Ibáñez, Víctor Viñals y José M. Llabería  
**Nombre del congreso:** XVIII Jornadas de Paralelismo, integradas en II CEDI  
**Ciudad de celebración:** Zaragoza, España  
**Fecha de celebración:** septiembre 2007

**14 Título del trabajo:** Memory Characterization of Apache using Specweb2005

**Autores:** Ana Bosque, Pablo Ibáñez, Víctor Viñals, Per Stenström y José M. Llabería  
**Nombre del congreso:** XVIII Jornadas de Paralelismo, integradas en II CEDI  
**Ciudad de celebración:** Zaragoza, España  
**Fecha de celebración:** septiembre 2007

**15 Título del trabajo:** Prebúsqueda de datos basada en DFCM

**Autores:** Luis M. Ramos, José Luis Briz, Pablo E. Ibáñez y Víctor Viñals  
**Nombre del congreso:** XVII Jornadas de Paralelismo



**Ciudad de celebración:** Albacete, España

**Fecha de celebración:** septiembre 2006

**16 Título del trabajo:** COVI: Computador Virtual

**Autores:** : J. Alastruey, O. Blasco, A. Hurtado, P. Ibáñez, V. Viñals

**Nombre del congreso:** XIII Jornadas de Paralelismo

**Ciudad de celebración:** Lérida, España

**Fecha de celebración:** 09/09/2002

**17 Título del trabajo:** SPEC CPU y caches en chip: evolución e interacción

**Autores:** Alastruey Benedé, Jesús; Blasco, Óscar; Ibáñez, Pablo; Briz, José Luis; Viñals Víctor

**Nombre del congreso:** XIII Jornadas de Paralelismo

**Ciudad de celebración:** Lérida, España

**Fecha de celebración:** 09/09/2002

**18 Título del trabajo:** Generación precisa de caminos especulativos sobre Shade (SPARC V9)

**Autores:** F. Latorre, E.F Torres, P. Ibáñez, V. Viñals

**Nombre del congreso:** XII Jornadas de Paralelismo

**Ciudad de celebración:** Valencia, España

**Fecha de celebración:** septiembre 2001

**19 Título del trabajo:** Hardware Prefetching with Load Caches in Bus-Based Multiprocessors

**Autores:** J.L. Briz, M.J. Garzaran, V. Viñals, P. Ibáñez

**Nombre del congreso:** X Jornadas de Paralelismo

**Ciudad de celebración:** La Manga del Mar Menor, España

**Fecha de celebración:** septiembre 1999

**20 Título del trabajo:** Warm Time Sampling: Simulación Rápida y Precisa de Memorias Cache

**Autores:** L. Jimeno, P. Ibáñez and V. Viñals

**Nombre del congreso:** VII Jornadas de Paralelismo

**Ciudad de celebración:** Santiago de Compostela, España

**Fecha de celebración:** septiembre 1996

**21 Título del trabajo:** Gestión de Contenidos de Memorias Cache Multinivel Integradas

**Autores:** P. Ibáñez and V. Viñals

**Nombre del congreso:** VI Jornadas de Paralelismo

**Ciudad de celebración:** Barcelona, España

**Fecha de celebración:** septiembre 1995

### D.1.6 Premios a la producción científica

**1 2023 HiPEAC Paper Award.** Given by the HiPEAC Network steering committee, for the paper entitled: "Compression-Aware and Performance-Efficient Insertion Policies for Long-Lasting Hybrid LLCs"

**Autores:** C. Escuín, A. Khan, P. Ibáñez, T. Monreal, J. Castrillón and V. Viñals

Presented at the 29th IEEE Int. Symp. on High-Performance Computer Architecture (HPCA-29) Montreal, QC, Canada . Feb 25 – March 01, 2023 <https://www.hipeac.net/awards/#/paper-awards/2023/>.

HiPEAC Network is the High Performance, Edge And Cloud computing, EUHE R&I-101069836

**2 2022 HiPEAC Paper Award.** Given by the HiPEAC Network steering committee, for the paper entitled: "Berti: an Accurate Local-Delta Data Prefetcher".



Autores: A. Navarro, Biswabandan Panda, J. Alastruey, P. Ibáñez, V. Viñals, and Alberto Ros  
Presented at the 55th IEEE/ACM International Symposium on Microarchitecture (MICRO-55; Chicago, Illinois, USA; October 1-5, 2022).  
HiPEAC Network is the High Performance, Edge And Cloud computing, EUHE R&I-101069836

### 3 Mejor mecanismo en Cloud Suite y 3º en el ranking absoluto en el 2nd Cache Replacement Championship.

Campeonato organizado en 2017 (CRC-2, 2017, with ISCA, sponsored by Intel).

<https://crc2.ece.tamu.edu>

[https://www.dropbox.com/scl/fi/s84kiaq2pcu17r0xhp9eu/CRC2\\_closing.pptx?rlkey=ggi91fjs3j8wlc66osdexyz9a&dl=1](https://www.dropbox.com/scl/fi/s84kiaq2pcu17r0xhp9eu/CRC2_closing.pptx?rlkey=ggi91fjs3j8wlc66osdexyz9a&dl=1)

### 4 2013 HiPEAC Paper Award. Given by the HiPEAC Network steering committee, for the paper entitled: "The Reuse Cache: Downsizing the Shared Last-Level Cache".

Autores: J. Albericio, P. Ibáñez, V. Viñals, and J.M. LLabería

Presented at the 46th IEEE/ACM International Symposium on Microarchitecture (MICRO-46; Davis, California, USA; Dec. 7-11, 2013).

HiPEAC is the High-Performance and Embedded Architecture and Compilation Network of Excellence (EC Contract No. 287759, <http://www.hipeac.net>)

### 5 Best paper award y tercer mejor mecanismo en el 1st Data Prefetching Championship.

Campeonato organizado en 2009 por The Journal of Instruction-Level Parallelism (DPC-1, with HPCA, sponsored by: Intel, JILP, IEEE TC-uARCH).

<https://jilp.org/dpc/online/DPC-1%20Program.htm>

<https://jilp.org/dpc/online/slides/DPC1-results-summary.pdf>

## D.1.7 Capítulos de libros

### 1 Título del trabajo: Case Study: Sensitivity to Last Level Cache Size (section 5 of Chapter 12 "Other Tuning Areas")

**Autores:** Agustín Navarro, Jesús Alastruey-Benedé, Pablo Ibáñez and Víctor Viñals

**Libro:** Performance Analysis and Tuning on Modern CPUs, 2nd ed. Denis Bakhvalov.

**Commit date:** Feb. 9, 2024 <https://github.com/dendibakh/perf-book>

**Editorial:** Autopublicado, segunda edición disponible en Amazon.com: <https://amzn.to/4fsroBs>

Borradores de la segunda edición disponibles en el siguiente enlace:

<https://github.com/dendibakh/perf-book/releases>

## D.2 Gestión de I+D+i y participación en comités científicos

### D.2.1 Organización de actividades de I+D+i

#### 1 Título de la actividad: II Congreso español de Informática

**Tipo de actividad:** Congreso

**Ámbito geográfico:** Nacional

**Modo de participación:** Miembro Comité Organizador (Relaciones institucionales)  
Miembro Comité Científico

**Nº de asistentes:** 1.000

**Fecha de inicio-fin:** 11/09/2007 - 14/09/2007

**Duración:** 4 días

#### 2 Título de la actividad: XVIII Jornadas de Paralelismo

**Tipo de actividad:** Congreso

**Ámbito geográfico:** Nacional

**Modo de participación:** Presidente

**Nº de asistentes:** 180

**Fecha de inicio-fin:** 11/09/2007 - 14/09/2007

**Duración:** 4 días

### D.2.2 Evaluación y revisión de proyectos

**1** Miembro del Comité de acceso local de Caesaraugusta (nodo en Aragón de la Red Española de Supercomputación). Desde su creación en febrero de 2008 hasta 2016.

**2** Evaluador de proyectos de infraestructuras. 7 proyectos evaluados. Convocatoria correspondiente al año 2019 del procedimiento para la concesión de ayudas para la adquisición de equipamiento científico-técnico, correspondientes al Programa Estatal de Generación de Conocimiento y Fortalecimiento Científico y Tecnológico del Sistema de I+D+i, Subprograma Estatal de Infraestructuras de Investigación y Equipamiento Científico-Técnico, en el marco del Plan Estatal de Investigación Científica y Técnica y de Innovación 2017-2020.

### D.2.3 Participación en Comité de Programa

**1 Nombre de la actividad:** 2016 IEEE International Symposium on Performance Analysis of Systems and Software (ISPASS)

**Ciudad entidad realización:** Uppsala, Suecia

**Modalidad de actividad:** Participación en Comité de Programa

**Fecha de inicio-fin:** 02/11/2015 - 31/03/2016

**2 Nombre de la actividad:** 13th IEEE International Conference on Pervasive Intelligence and Computing

**Ciudad entidad realización:** Liverpool, Reino Unido

**Modalidad de actividad:** Participación en Comité de Programa

**Fecha de inicio-fin:** 01/03/2015 - 30/09/2015

**3 Nombre de la actividad:** 12th IEEE International Conference on Embedded Software and Systems

**Ciudad entidad realización:** New York, Estados Unidos de América

**Modalidad de actividad:** Participación en Comité de Programa

**Fecha de inicio-fin:** 02/02/2015 - 31/07/2015

**4 Nombre de la actividad:** 11th IEEE International Conference on Embedded Software and Systems

**Ciudad entidad realización:** Paris, Francia

**Modalidad de actividad:** Participación en Comité de Programa

**Fecha de inicio-fin:** 03/02/2014 - 31/07/2014

**5 Nombre de la actividad:** 12th IEEE International Conference on Dependable, Autonomic and Secure Computing

**Ciudad entidad realización:** Dalia, China

**Modalidad de actividad:** Participación en Comité de Programa

**Fecha de inicio-fin:** 03/02/2014 - 31/07/2014

**6 Nombre de la actividad:** 12th International Conference on Embedded Computing

**Ciudad entidad realización:** Dalia, China

**Modalidad de actividad:** Participación en Comité de Programa

**Fecha de inicio-fin:** 03/02/2014 - 31/07/2014

**7 Nombre de la actividad:** 10th IEEE International Conference on Embedded Software and Systems

**Ciudad entidad realización:** Sydney, Australia



**Modalidad de actividad:** Participación en Comité de Programa

**Fecha de inicio-fin:** 01/06/2013 - 30/11/2013

**8 Nombre de la actividad:** 9th IEEE International Conference on Embedded Software and Systems  
**Ciudad entidad realización:** Liverpool, Reino Unido

**Modalidad de actividad:** Participación en Comité de Programa

**Fecha de inicio-fin:** 09/01/2012 - 31/05/2012

**9 Nombre de la actividad:** 8th IEEE International Conference on Embedded Software and Systems  
**Ciudad entidad realización:** Changsha, China

**Modalidad de actividad:** Participación en Comité de Programa

**Fecha de inicio-fin:** 01/06/2011 - 31/10/2011

**10 Nombre de la actividad:** 14th Euromicro Conference on Digital System Design. Special Session of Multicore Systems: Design and Applications

**Ciudad entidad realización:** Oulu, Finlandia

**Modalidad de actividad:** Participación en Comité de Programa

**Fecha de inicio-fin:** 01/02/2011 - 31/07/2011

**11 Nombre de la actividad:** 13th Euromicro Conference on Digital System Design. Special Session of Multicore Systems: Design and Applications

**Ciudad entidad realización:** Lille, Francia

**Modalidad de actividad:** Participación en Comité de Programa

**Fecha de inicio-fin:** 03/05/2010 - 30/09/2010

**12 Nombre de la actividad:** 7th IEEE International Conference on Embedded Software and Systems

**Ciudad entidad realización:** Bradford, Reino Unido

**Modalidad de actividad:** Participación en Comité de Programa

**Fecha de inicio-fin:** 11/01/2010 - 31/05/2010

**13 Nombre de la actividad:** 6th IEEE International Conference on Embedded Software and Systems, ISBN: 978-0-7695-3678-1

**Ciudad entidad realización:** HangZhou, Zhejiang, China

**Modalidad de actividad:** Participación en Comité de Programa

**Fecha de inicio-fin:** 12/01/2009 - 24/05/2009

**14 Nombre de la actividad:** 2007 International Workshop on Intelligent Pervasive Middleware, Embedded System Architectures, and RFID Applications

**Ciudad entidad realización:** Jeju Island, España

**Modalidad de actividad:** Participación en Comité de Programa

**Fecha de inicio-fin:** 01/06/2007 - 30/09/2007

#### D.2.4 Evaluación y revisión de artículos de I+D+i

**1** Design, Automation and Test Conference Europe (DATE). Octubre 2024.

**2** Revista IEEE Transactions on Computers. Septiembre 2024.

**3** ICS-2023 International Conference on Supercomputing

**4** Revista Cluster Computing. Septiembre 2022.

**5** Revista The Journal of Supercomputing. Enero y mayo 2022.

**6** Revista ACM Transactions on Architecture and Code Optimization. 2021.

**7** Revista IEEE Transactions of Parallel and Distributed Systems. 2018.



- 8** Revista ACM Transactions on Architecture and Code Optimization. 2017.
- 9** Revista ACM Transactions on Architecture and Code Optimization. 2016.
- 10** Revista IEEE Computer Architecture Letters. 2015.
- 11** Revista IEEE Transactions on Parallel and Distributed Systems. 2013.
- 12** Revista Concurrency and Computation: Practice and Experience. 2013.
- 13** XIII International Conference on Embedded Computer Systems: Architectures, Modeling and Simulation (SAMOS), 2013.
- 14** Revista IEEE Transactions on Computer. 2009.
- 15** 6th IEEE International Conference on Embedded Software and Systems. 2009.
- 16** ICCD-2008 IEEE International Conference on Computer Design
- 17** ICS-2007 International Conference on Supercomputing
- 18** Revista Informática y Automática, Revista de la AEIA. 1997.
- 19** 3rd Euromicro Workshop on Parallel and Distributed Processing, Sanremo, Italy, Junio 1995.

## E. Otros méritos

### E.1 Experiencia en gestión y administración educativa: cargos unipersonales

- 1 Secretario de departamento. Desde Julio de 2009 hasta junio de 2012.
- 2 Coordinador de área. Asimilado a secretario de departamento por acuerdo de 24 de abril de 2008, del Consejo de Gobierno de la Universidad de Zaragoza. Desde septiembre de 2005 hasta enero de 2008.

### E.2 Estancias en centros de I+D+i públicos o privados

**Entidad de realización:** Chalmers University of Technology

**Ciudad entidad realización:** Gothenburg, Suecia

**Fecha de inicio-fin:** 01/03/1999 - 31/05/1999

**Duración:** 3 meses

**Entidad financiadora:** CAI

**Nombre del programa:** Programa Europa

**Objetivos de la estancia:** Posdoctoral

### E.3 Períodos de actividad investigadora

**1 Nº de tramos reconocidos:** 1

**Entidad acreditante:** CNEAI

**Fecha de obtención:** 01/01/2020

**2 Nº de tramos reconocidos:** 1

**Entidad acreditante:** CNEAI

**Fecha de obtención:** 01/01/2013

**3 Nº de tramos reconocidos:** 1

**Entidad acreditante:** CNEAI

**Fecha de obtención:** 01/01/2007

### E.4 Participación en comisiones de definición de grados y másteres

- 1 2020-2023. Representante de la Sociedad Científica Informática de España (SCIE) en la Comisión de Másteres conjunta de la Conferencia de Decanos y Directores de Ingeniería Informática (CODDII), SCIE y el Consejo de Colegios de Ingeniería Informática (CCII)
- 2 2021. Grupo de trabajo para la modificación de la memoria de verificación del Master Universitario en Ingeniería Informática
- 3 2013. Comisión encargada de la elaboración de la memoria de verificación del Máster Universitario en Ingeniería Informática.



- 4** 2011. Comisión de elaboración de la memoria de Grado en ingeniería de Tecnologías y Servicios de Telecomunicación.
- 5** 2009. Comisión encargada de la elaboración de la memoria de verificación del Grado Universitario en Ingeniería de Telecomunicaciones.
- 6** 2013. 2003. Comité autoevaluación correspondiente al Programa de Acreditación de la ANECA, relativo a la titulación de Ingeniero de Telecomunicación de la Universidad de Zaragoza.

## E.5 Formación docente recibida

- 1** Diploma de formación pedagógica para el profesorado universitario. Instituto de Ciencias de la Educación, Universidad de Zaragoza. 120 horas de octubre 1999 a mayo 2000.