



Fecha del CVA

10/09/2024

**Parte A. DATOS PERSONALES**

Nombre *	Ramon		
Apellidos *	Canal Corretger		
Sexo *	Hombre	Fecha de Nacimiento *	
DNI/NIE/Pasaporte *		Teléfono *	93 4054034
URL Web	<a href="http://personals.ac.upc.edu/rcanal">http://personals.ac.upc.edu/rcanal</a>		
Dirección Email	RCANAL@AC.UPC.EDU		
Identificador científico	Open Research and Contributor ID (ORCID) *	0000-0003-4542-204X	
	Researcher ID	E-7775-2014	
	Scopus Author ID	7004495853	

\* Obligatorio

**A.1. Situación profesional actual**

Puesto	Catedrático/a de universidad		
Fecha inicio	2023		
Organismo / Institución	Universitat Politècnica de Catalunya		
Departamento / Centro	Departamento de Arquitectura de Computadores / Facultad de Informática de Barcelona (FIB)		
País	España	Teléfono	934054034
Palabras clave	330400 - Tecnología de los ordenadores; 330406 - Arquitectura de ordenadores		

**A.2. Situación profesional anterior**

Periodo	Puesto / Institución / País
2008 - 2023	Titular de universidad / Universitat Politècnica de Catalunya
2003 - 2008	Colaborador/ra / Universitat Politècnica de Catalunya
2006 - 2007	Profesor/a visitante / Harvard University
2001 - 2003	FI Generalitat de Catalunya / Universitat Politècnica de Catalunya
1998 - 2003	Becario/aria de investigación / Departamento de AC (UPC)
2000 - 2000	Investigador/ora / Sun Microsystems (CA-USA)
1999 - 2000	Profesor/ra asociado/da / Universitat Politècnica de Catalunya
1999 - 1999	Becari de Projecte / Universitat Politècnica de Catalunya

**A.3. Formación académica**

Grado/Master/Tesis	Universidad / País	Año
Doctor per la Universitat Politècnica de Catalunya	Universitat Politècnica de Catalunya	2004
Enginyer en Informàtica	Universitat Politècnica de Catalunya	1998

**A.4. Indicadores generales de calidad de la producción científica**

Número de sexenios de investigación: 4  
 Fecha de vencimiento del último concedido: 01/01/2023  
 Número de tesis doctorales dirigidas en los últimos 10 años: 4  
 Citas totales: 2260 (Google Scholar)  
 Índice h: 25.0

## Parte B. RESUMEN LIBRE DEL CURRÍCULUM

Publicaciones en los últimos 10 años. Revistas: JCR Q1 (7), JCR Q2 (8); Congresos: SCIE Class 1 (2), SCIE Class 2 (15)

2 x IP de proyecto europeo (HE--01093062-VITAMIN-V, H2020-800962-EUROLAB4HPC2)

2 z IP de proyecto del plan nacional (EUIN-2017-85841, EIN2019-102930).

Co-IP de un proyecto del plan RIS3CAT de la Generalitat de Catalunya (DRAC P-001723)

Participación en 3 proyectos europeos como "Workpackage leader" (RECIPE, CLERECO y TRAMS).

Participación en 2 proyectos del plan nacional como líder de tarea.

Miembro del comité de programa de varias ediciones de los congresos SCIE clase 1 (ISCA, MICRO, HPCA) y clase 2 (DATE, ICCD, ICPP, IPDPS).

Miembro del comité organizador (co-general chair) del congreso SCIE clase 1 HPCA (edición 2016).

Editor adjunto del Journal on Parallel and Distributed Computing (JPDC), JCR-Q2 i del ACM Transactions on Architecture and Code Optimization (TACO), JCR-Q2

## Parte C. MÉRITOS MÁS RELEVANTES

### C.1. Publicaciones

AC: Autor de correspondencia; (nº x / nº y): posición firma solicitante / total autores. Si aplica, indique el número de citas

- 1 Artículo científico.** Jullian, O.; Otero, B.; Rodriguez, E.; Gutierrez, N.; Antona, H.; (6/6) Canal, R.2023. Deep-learning based detection for cyber-attacks in IoT networks: A distributed attack detection framework. Journal of network and systems management. Springer. 31-article 33, pp.1-24. ISSN 1573-7705. (4) <https://doi.org/10.1007/s10922-023-09722-7>
- 2 Artículo científico.** Rodriguez, E.; Otero, B.; (3/3) Canal, R.2023. A survey of machine and deep learning methods for privacy protection in the Internet of things. Sensors (Basel). Multidisciplinary Digital Publishing Institute (MDPI). 23-3, article 1252, pp.1-24. ISSN 1424-8220. (9) <https://doi.org/10.3390/s23031252>
- 3 Artículo científico.** Sazeides, Yiannakis; Bramnik, A.; Gabor, R.; (4/4) Canal, R.2022. A Real-Time Error Detection (RTD) architecture and its use for reliability and post-silicon validation for F/F based memory arrays. IEEE transactions on emerging topics in computing. Institute of Electrical and Electronics Engineers (IEEE). 10-2, pp.524-536. ISSN 2168-6750. <https://doi.org/10.1109/TETC.2022.3141486>
- 4 Artículo científico.** Anglada, M.; (2/4) Canal, R.; Aragón, Juan L.; Gonzalez, A.2021. Fast and accurate SER estimation for large combinational blocks in early stages of the design. IEEE transactions on sustainable computing. Institute of Electrical and Electronics Engineers (IEEE). 6-3, pp.427-440. ISSN 2377-3782. (4) <https://doi.org/10.1109/TSUSC.2018.2886640>
- 5 Artículo científico.** Rodriguez, E.; Otero, B.; Gutierrez, N.; (4/4) Canal, R.2021. A survey of deep learning techniques for cybersecurity in mobile networks. IEEE communications surveys and tutorials. Institute of Electrical and Electronics Engineers (IEEE). 23-3, pp.1920-1955. ISSN 1553-877X. (18) <https://doi.org/10.1109/COMST.2021.3086296>
- 6 Artículo científico.** Lasheras, A.; (2/4) Canal, R.; Rodriguez, E.; Cassano, L.2021. Securing RSA hardware accelerators through residue checking. Microelectronics reliability. 116-article 114021, pp.1-10. ISSN 0026-2714. <https://doi.org/10.1016/j.microrel.2020.114021>

- 7 **Artículo científico.** (1/12) Canal, R.; Hernández, C.; Tornero, R.; et al; Abella, J.2020. Predictive reliability and fault management in exascale systems: State of the art and perspectives. ACM computing surveys. 53-5, pp.95:1-95:32. ISSN 0360-0300. (11) <https://doi.org/10.1145/3403956>
- 8 **Artículo científico.** Fusi, M.; Mazzocchetti, F.; Farres, A.; Kosmidis, L.; (5/7) Canal, R.; Cazorla, F. J.; Abella, J.2020. On the use of probabilistic worst-case execution time estimation for parallel applications in high performance systems. Mathematics. Multidisciplinary Digital Publishing Institute (MDPI). 8-3 , article 314, pp.1-21. ISSN 2227-7390. (4) <https://doi.org/10.3390/math8030314>
- 9 **Artículo científico.** Vallero, A.; Savino, A.; Chatzidimitriou, A.; et al; Stefano Di Carlo; (10/14) Canal, R.2018. SyRA: early system reliability analysis for cross-layer soft errors resilience in memory arrays of microprocessor systems. IEEE transactions on computers. Institute of Electrical and Electronics Engineers (IEEE). 68-5, pp.765-783. ISSN 0018-9340. (25) <https://doi.org/10.1109/TC.2018.2887225>
- 10 **Artículo científico.** Rana, M.; (2/4) Canal, R.; Amat, E.; Rubio, A.2017. Statistical analysis and comparison of 2T and 3T1D e-DRAM minimum energy operation. IEEE transactions on device and materials reliability. 17-1, pp.42-51. ISSN 1530-4388. (4) <https://doi.org/10.1109/TDMR.2017.2667619>
- 11 **Artículo científico.** Amat, Esteve; Calomarde, A.; Moll, F.; (4/5) Canal, R.; Rubio, A.2016. Feasibility of Embedded DRAM Cells on FinFET Technology. IEEE transactions on computers. Institute of Electrical and Electronics Engineers (IEEE). 65-4, pp.1068-1074. ISSN 0018-9340. (11) <https://doi.org/10.1109/TC.2014.2375204>
- 12 **Capítulo de libro.** Rubio, A.; (2/2) Canal, R.2020. Technological layer. Cross-layer reliability of computing systems. The Institution of Engineering and Technology (IET). pp.3-22. ISBN 9781785617980. [https://doi.org/10.1049/PBCS057E\\_ch1](https://doi.org/10.1049/PBCS057E_ch1)

## C.2. Congresos

- 1 Sarraseca, M.; Alcaide, S.; Fuentes, F.; et al; Abella, J.. SafeLS: An open source implementation of a lockstep NOEL-V RISC-V core. 29th IEEE International Symposium on On-Line Testing and Robust System Design. 2023. Grecia. Participativo - Ponencia oral (comunicación oral).
- 2 Alonso, M.; Andreu, D.; Canal, R.; et al; Savino, A.. Validation, Verification, and Testing (VVT) of future RISC-V powered cloud infrastructures: the Vitamin-V Horizon Europe Project perspective. 28th IEEE European Test Symposium. 2023. Italia. Participativo - Ponencia oral (comunicación oral).
- 3 Canal, R.; Sazeides, Yiannakis; Bramnik, A.. SRAM arrays with built-in parity computation for real-time error detection in cache tag arrays. 24th Design, Automation and Test in Europe Conference and Exhibition. 2021. Participativo - Ponencia oral (comunicación oral).
- 4 Sazeides, Yiannakis; Bramnik, A.; Gabor, R.; Nicopoulos, C.; Canal, R.; Konstantinou, D.; Dimitrakopoulos, G.. 2D error correction for F/F based arrays using in-situ Real-Time Error Detection (RTD). 33rd IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems. 2020. Italia. Participativo - Otros.
- 5 Lasheras, A.; Canal, R.; Rodriguez, E.; Cassano, L.. Protecting RSA hardware accelerators against differential fault analysis through residue checking. 32nd IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems. 2019. Holanda. Participativo - Ponencia oral (comunicación oral).
- 6 Amat, E.; Calomarde, A.; Canal, R.; Rubio, A.. Suitability of FinFET introduction into eDRAM cells for operate at sub-threshold level. 27th International Symposium on Power and Timing Modeling, Optimization and Simulation. 2017. Grecia. Participativo - Ponencia oral (comunicación oral).
- 7 Kaliorakis, M.; Gizopoulos, D.; Canal, R.; Gonzalez, A.. MeRLiN: Exploiting dynamic instruction behavior for fast and accurate microarchitecture level reliability assessment. 44th International Symposium on Computer Architecture. 2017. Canadá. Participativo - Ponencia oral (comunicación oral).

- 8 Vallero, A.; Savino, A.; Politano, G.; et al; Di Natale, G.. Cross-layer system reliability assessment framework for hardware faults. 2016 IEEE International Test Conference. 2016. Estados Unidos de América. Participativo - Ponencia oral (comunicación oral).

### C.3. Proyectos y Contratos

- 1 **Proyecto.** TSI-069100-2023-15, Chips para arquitecturas avanzadas y sistemas fotónicos. MIN DE ECONOMIA Y COMPETITIVIDAD. (Departamento de Ingeniería Electrónica). 12/09/2023-30/06/2026. 3.761.798,45 €.
- 2 **Proyecto.** Chips JU - 101112274, High Performance, Safe, Secure, Open-Source Leveraged RISC-V Domain-Specific Ecosystems. Unión Europea. Ramon Canal Corretger. (Barcelona Supercomputing Center-Centro Nacional de Supercomputación). 01/05/2023-30/04/2026.
- 3 **Proyecto.** HORIZON-101093062-Vitamin-V, Virtual Environment and Tool-boxing for Trustworthy Development of RISC-V based Cloud Services. Commission of European Communities. Ramon Canal Corretger. (Departamento de Arquitectura de Computadores). 01/01/2023-31/12/2025. 687.500 €.
- 4 **Proyecto.** H2020-101051997-EUMaster4HPC, Hpc EuRopean ConsortiUm Leading Education activitieS. EUROPEAN COMMISSION. (Departamento de Arquitectura de Computadores). 01/01/2022-31/12/2025. 486.886,25 €.
- 5 **Proyecto.** ECSEL-877056, Cognitive Fractal and Secure Edge Based On Unique Open-Safe-Reliable-Low Power Hardware Platform Node. GOBIERNO DE ESPAÑA. MINISTERIO DE ECONOMÍA Y COMPETITIVIDAD, MINECO; European Union Horizon 2020. Ramon Canal Corretger. (Barcelona Supercomputing Center-Centro Nacional de Supercomputación). 07/04/2022-31/10/2023. 402.500 €.
- 6 **Proyecto.** IU16-011643 VIRTUOS P2, 001-P-001723\_Disseny d'acceleradors basats en la tecnologia RISC per a la propera generació de computadors (DRAC). GENCAT - DEPT. D'EMPRESA I OCUPACIO. Ramon Canal Corretger. (Departamento de Arquitectura de Computadores). 01/06/2019-31/12/2022. 81.483,49 €.
- 7 **Proyecto.** RED2018-102384-T, Investigación, formación y prospectiva en sistemas RISC-V. MINISTERIO DE CIENCIA, INNOVACIÓN Y UNIVERSIDADES. Ramon Canal Corretger. (Instituto de Microelectrónica de Barcelona). 08/10/2019-07/10/2022. 25.000 €.
- 8 **Proyecto.** EIN2019-102930, Resiliencia Unificada para Sistemas Informáticos. AGENCIA ESTATAL DE INVESTIGACION. Ramon Canal Corretger. (Departamento de Arquitectura de Computadores). 01/06/2019-31/05/2022. 9.100 €.
- 9 **Proyecto.** H2020-801137-RECIFE, RELIable power and time-ConstraInts-aware Predictive management of heterogeneous Exascale systems. European Commission. Ramon Canal Corretger. (Barcelona Supercomputing Center-Centro Nacional de Supercomputación). 01/05/2018-30/04/2021. 411.250 €.
- 10 **Proyecto.** EUIN2017-85841, Encapsulado de herramientas virtual para una gestión robusta de la heterogeneidad entre capas en sistemas ciberfísicos complejos. AGENCIA ESTATAL DE INVESTIGACION. Ramon Canal Corretger. (Departamento de Arquitectura de Computadores). 01/03/2017-31/10/2019. 19.000 €.
- 11 **Proyecto.** FP7-611404-CLERECO, Cross-layer early reliability evaluation for the computing continuum. Commission of European Communities. (Departamento de Arquitectura de Computadores). 01/10/2013-30/11/2016. 320.162,93 €.
- 12 **Proyecto.** FP7-248789-TRAMS, Terascale reliable adaptive memory systems. Commission of European Communities. (Departamento de Ingeniería Electrónica). 01/01/2010-31/12/2012. 413.066,5 €.
- 13 **Contrato.** Intel Doctoral Student Honor Programme INTEL CORPORATION. Ramon Canal Corretger. (Departamento de Arquitectura de Computadores). 08/07/2013-31/12/2014. 25.839,67 €.
- 14 **Contrato.** Intel Doctoral Student Honor Programme (student: GANAPHATY) INTEL CORPORATION. Ramon Canal Corretger. (Departamento de Arquitectura de Computadores). 02/10/2012-01/06/2014. 26.943,8 €.

### **C.5. Estancias en centros de I+D+i públicos o privados**

- 1** University of Cyprus. Chipre. Nicòsia. 01/09/2019-31/08/2020. 1 año. Invitado/a.
- 2** Harvard University. Estados Unidos de América. Cambridge, MA. 01/10/2006-31/03/2007. 6 meses - 1 día. Posdoctoral.
- 3** Sun Microsystems. Estados Unidos de América. Sunnyvale. 01/07/2000-01/10/2000. 3 meses - 2 días. Contratado/a.